

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156476

(P2000-156476A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/108  
21/8242

識別記号

F I

H 0 1 L 27/10

テマコード\* (参考)

6 2 1 C 5 F 0 8 3

審査請求 未請求 請求項の数14 O L (全 32 頁)

(21) 出願番号 特願平10-251511  
(62) 分割の表示 特願平10-251308の分割  
(22) 出願日 平成10年9月4日 (1998.9.4)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(71) 出願人 000233169  
株式会社日立超エル・エス・アイ・システムズ  
東京都小平市上水本町5丁目22番1号  
(72) 発明者 菅原 安浩  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内  
(74) 代理人 100080001  
弁理士 筒井 大和

最終頁に続く

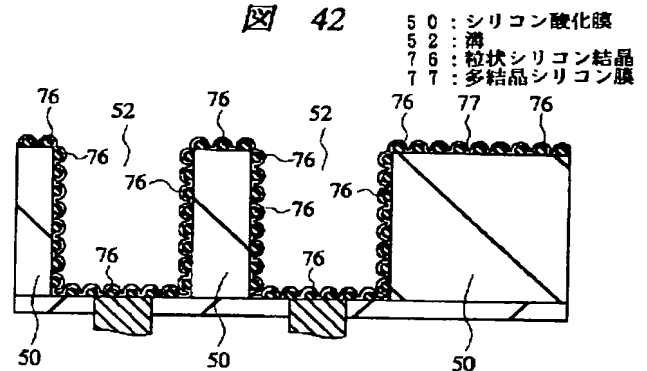
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 キャパシタ下部電極に適用する多結晶シリコン膜の膜厚を、粒状シリコンの部分を含めて制御する。

【解決手段】 シリコン酸化膜50に形成された溝52の内面に沿うように非晶質シリコン膜を形成し、非晶質シリコン膜の表面にシリコン核づけおよび粒成長促進のための熱処理を施して、非晶質シリコン膜から粒状シリコン結晶76を粒成長させる。その後、多結晶シリコン膜77を形成する。さらにシリコン酸化膜50上面の多結晶シリコン膜77および粒状シリコン結晶76をエッチバックして除去し、多結晶シリコン膜77および粒状シリコン結晶76からなるDRAMの情報蓄積用容量素子を構成する下部電極を形成する。

図 42



## 【特許請求の範囲】

【請求項1】 半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたMISFETと、前記MISFETのソースまたはドレインとして機能する半導体領域に電気的に接続された第1電極、前記第1電極に対向して形成された第2電極および前記第1、第2電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、

前記第1電極は、粒状シリコンまたはその表面に粒状体を有する第3多結晶シリコン膜を有し、前記粒状シリコンまたは第3多結晶シリコン膜上に第4多結晶シリコン膜が形成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記粒状シリコンは、接着層上に形成されていることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置であって、前記接着層は、多結晶シリコン膜であることを特徴とする半導体装置。

【請求項4】 請求項2または3記載の半導体装置であって、前記接着層と前記粒状シリコンとの界面には、シリコン酸化物またはシリコン酸化膜を有することを特徴とする半導体装置。

【請求項5】 請求項1～4の何れか一項に記載の半導体装置であって、前記第4多結晶シリコン膜の膜厚は、20nm以上、100nm以下であることを特徴とする半導体装置。

【請求項6】 請求項1～5の何れか一項に記載の半導体装置であって、前記第4多結晶シリコン膜に含まれる不純物の濃度は、 $1 \times 10^{20}$ atoms/cm<sup>3</sup>以上、 $1 \times 10^{22}$ atoms/cm<sup>3</sup>以下であることを特徴とする半導体装置。

【請求項7】 請求項1～6の何れか一項に記載の半導体装置であって、前記第3多結晶シリコン膜に含まれる不純物の濃度は、 $5.0 \times 10^{20}$ atoms/cm<sup>3</sup>以下であることを特徴とする半導体装置。

【請求項8】 (a) 半導体からなる基板または半導体層をその表面に有する基板の主面に第1絶縁膜を堆積し、前記第1絶縁膜に溝を形成する工程、

(b) 前記溝の内面を含む前記第1絶縁膜上に第4非晶質シリコン膜を堆積する工程、

(c) 前記第4非晶質シリコン膜の表面にシリコン結晶核を形成する工程、

(d) 前記基板を熱処理し、前記第4非晶質シリコン膜をシリコンの粒状結晶に成長させる工程、

(e) 前記粒状結晶上に第1多結晶シリコン膜を形成する工程、

(f) 前記溝を埋め込む第2絶縁膜を形成する工程、

(g) 前記第2絶縁膜および前記溝以外の前記第1絶縁膜上の前記第1多結晶シリコン膜および粒状結晶を除去し、前記溝内に前記粒状結晶および第1多結晶シリコン膜を残存させる工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法であって、

前記(a)工程の後、前記溝内に、第2多結晶シリコン膜または第6非晶質シリコン膜を形成することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法であって、

前記第2多結晶シリコン膜または第6非晶質シリコン膜を形成した後、その表面に阻害物を形成することを特徴とする半導体装置の製造方法。

【請求項11】 請求項10に記載の半導体装置の製造方法であって、

前記阻害物は、シリコン酸化物またはシリコン酸化膜であることを特徴とする半導体装置の製造方法。

20 【請求項12】 請求項11記載の半導体装置の製造方法であって、

前記シリコン酸化物またはシリコン酸化膜は、前記第2多結晶シリコン膜または第6非晶質シリコン膜の表面を酸素を含有する雰囲気暴露することにより形成することを特徴とする半導体装置の製造方法。

【請求項13】 請求項8～12の何れか一項に記載の半導体装置の製造方法であって、

前記第1多結晶シリコン膜の膜厚は、20nm以上、100nm以下であり、

30 前記第1多結晶シリコン膜に含まれる不純物の濃度は、 $1 \times 10^{20}$ atoms/cm<sup>3</sup>以上、 $1 \times 10^{22}$ atoms/cm<sup>3</sup>以下であることを特徴とする半導体装置の製造方法。

【請求項14】 請求項8～13の何れか一項に記載の半導体装置の製造方法であって、

前記第4非晶質シリコン膜の膜厚は20nm以上であり、前記第4非晶質シリコン膜に含まれる不純物の濃度は、 $5 \times 10^{20}$ atoms/cm<sup>3</sup>以下であることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

40 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、DRAM(Dynamic Random Access Memory)を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAMのメモリセルは、半導体基板の主面にマトリクス状に配置された複数のワードと複数のビット線との交点に配置され、1個のメモリセル選択用MISFET(Metal Insulator Semiconductor Field Effect Transistor)とこれに直列に接続された1個

の情報蓄積用容量素子（キャパシタ）とで構成されている。メモリセル選択用MISFETは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成されている。ビット線は、メモリセル選択用MISFETの上部に配置され、その延在方向に隣接する2個のメモリセル選択用MISFETによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用MISFETの上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。

【0003】特開平7-7084号公報は、ビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン（Capacitor Over Bitline）構造のDRAMを開示している。この公報に記載されたDRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量（ $C_s$ ）の減少を補うために、ビット線の上部に配置した情報蓄積用容量素子の下部電極（蓄積電極）を円筒状に加工することによってその表面積を増やし、その上部に容量絶縁膜と上部電極（プレート電極）とを形成している。

【0004】しかしながら、COB構造を有するメモリセルにおいては、メモリセルアレイ領域に形成されるキャパシタの半導体記憶装置としての動作信頼度を確保する必要上、装置の集積度が向上しセル面積が縮小しても相当の立体化が必須となっている。このような立体化されたキャパシタを形成した後に層間絶縁膜を形成した場合には、メモリセルアレイ領域と周辺回路領域の間にキャパシタの高さに相当する分だけの段差が生じてしまう。

【0005】このような段差は、DRAMの集積度が増すに従い、一定のキャパシタ容量を確保する必要があり、益々高くなる方向にある。また、DRAMの集積度向上の要求から、フォトリソグラフィの露光精度の向上が要求され、そのような要求を満足するために許容される焦点深度の値が益々厳しいものとなる。このような段差の増大、およびフォトリソグラフィにおける露光焦点の余裕の減少から、前記層間絶縁膜上に形成される配線層の形成が困難になるという問題がある。

【0006】また、下部電極を前記したように円筒状に加工するには工程が複雑となり、できるだけ簡略化した構造が望まれる。しかしながら、簡略化した下部電極の構造では表面積を広くできず、前記した段差の低減に対しては逆効果となる。

【0007】このような立体構造キャパシタの有する問題を回避する方法として、たとえば、1996年11月10日、応用物理学会発行、「応用物理」第65巻第11号、p1106～1113に記載されているように、下部電極であるシリコン表面に微小な凹凸を形成して粗

面化し、下部電極寸法を大きくすることなく、表面積を実質的に大きくすることができる技術、いわゆるHSG（Hemispherical Silicon Grain）構造の技術が提案されている。

【0008】また、特開平10-56155号公報には、HSG構造を形成する製造方法において結晶核の形成前に非晶質シリコン膜（アモルファスシリコン膜）を形成する技術が記載され、特開平9-298284号公報または特開平6-204426号公報には、不純物を含んだ第1非晶質シリコン膜上に不純物を含まない第2非晶質シリコン膜を形成し、第2非晶質シリコン膜にHSG構造を形成する技術が記載されている。

【0009】

【発明が解決しようとする課題】ところが、前記したHSG構造の技術には、以下のような問題点がある。すなわち、DRAMの高集積度の要請に伴うデバイスサイズの微細化により、下部電極の専有面積サイズも小さくすることが求められる。特に、筒形状の下部電極の場合、筒内径の縮小が求められ、微細化した筒内部での精度の良い粒状シリコンの形成が要求される。すなわち下部電極を構成する多結晶シリコン膜の薄膜化に伴う粒状シリコンの高さ（凹凸）の制御が困難になっているという問題がある。

【0010】また、下部電極を構成する多結晶シリコン膜の薄膜化により多結晶シリコン膜が高抵抗化し、下部電極の十分な導電性が確保できなくなりつつある。特に、粒状シリコン成長後の膜部分の膜厚が薄くなり、高抵抗化の問題が顕著になる。

【0011】さらに、キャパシタ電極の空乏層の影響が問題になる。すなわち、多結晶シリコン膜で構成される下部電極内の不純物が十分に活性化されていない場合、あるいは不純物量が十分でない場合には、キャリア濃度が低下し、上部電極との電位関係によっては容量絶縁膜との界面の下部電極に空乏層が生じる。空乏層が生じれば、その実効膜厚に相当するだけ容量絶縁膜の膜厚が増加したこととなり容量値の低下を招く。特にHSG構造の場合には、不純物濃度が高ければ粒状シリコンの成長性が阻害されるため、粒状シリコン成長後の不純物濃度が不足する場合があります、空乏層の問題が顕在化しやすい。

【0012】本発明の目的は、キャパシタ下部電極に適用する多結晶シリコン膜の膜厚を、粒状シリコンの部分（凹凸部分）を含めて制御できる技術を提供することにある。

【0013】また、本発明の目的は、多結晶シリコン膜表面の粒状シリコン（凹凸）の高さを容易に制御する技術を提供することにある。

【0014】また、本発明の目的は、キャパシタ下部電極に適用する多結晶シリコン膜の高抵抗化を防止し、下部電極の導電性を確保できる技術を提供することにあ

る。

【0015】また、本発明の目的は、キャパシタ下部電極を構成する多結晶シリコン膜と容量絶 膜との界面での多結晶シリコン膜の空乏層の発生（空乏化）を防止し、空乏化による蓄積容量の低下を抑制できる技術を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】（１）本発明の半導体装置は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたMISFETと、MISFETのソースまたはドレインとして機能する半導体領域に電気的に接続された第１電極、第１電極に対向して形成された第２電極および第１、第２電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、第１電極は、第１多結晶シリコン膜と、第１多結晶シリコン膜の表面に形成された粒状シリコン、または、表面に粒状体を有し第１多結晶シリコン膜の表面に形成された第２多結晶シリコン膜とを有し、第１多結晶シリコン膜と粒状シリコンまたは第２多結晶シリコン膜との界面には、シリコン原子の移動を阻害するシリコン原子移動阻害物、または、非晶質シリコン膜の堆積の際の結晶化を阻害する結晶化阻害物を有するものである。

【0019】また、前記シリコン原子移動阻害物または結晶化阻害物は、第１多結晶シリコン膜の表面に形成されたシリコン酸化物またはシリコン酸化膜である。

【0020】（２）本発明の半導体装置は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたMISFETと、MISFETのソースまたはドレインとして機能する半導体領域に電気的に接続された第１電極、第１電極に対向して形成された第２電極および第１、第２電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、第１電極は、第１多結晶シリコン膜と、第１多結晶シリコン膜の表面に形成された粒状シリコン、または、表面に粒状体を有し第１多結晶シリコン膜の表面に形成された第２多結晶シリコン膜とを有し、第１多結晶シリコン膜と粒状シリコンまたは第２多結晶シリコン膜との界面には、シリコン酸化物またはシリコン酸化膜を有するものである。

【0021】また、前記シリコン酸化物またはシリコン酸化膜の膜厚は、2nm以下である。

【0022】また、シリコン酸化物またはシリコン酸化膜は、第１多結晶シリコン膜となるシリコン膜の形成後

にシリコン膜の表面を酸素を含有する雰囲気暴露することにより形成されたシリコンの自然酸化物または自然酸化膜である。

【0023】また、第１多結晶シリコン膜の表面が平坦なものである。

【0024】また、第１多結晶シリコン膜の表面粗さは、その膜厚の10%以下である。

【0025】（３）本発明の半導体装置は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたMISFETと、MISFETのソースまたはドレインとして機能する半導体領域に電気的に接続された第１電極、第１電極に対向して形成された第２電極および第１、第２電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、第１電極は第１導電膜を有し、第１導電膜の表面には粒状シリコンまたは表面に粒状体を有する第２多結晶シリコン膜を有するものである。

【0026】また、第１導電膜は、多結晶シリコン膜、金属シリサイド膜、多結晶シリコン膜と金属シリサイド膜もしくは金属膜との積層膜、金属膜または金属化合物膜から選択された何れかの導電膜である。

【0027】また、金属シリサイド膜は、タングステンシリサイド膜、チタンシリサイド膜またはコバルトシリサイド膜から選択された何れかの金属シリサイド膜であり、金属膜または金属化合物膜は、タングステン膜、チタン膜、コバルト膜、窒化チタン膜または窒化タングステン膜から選択された何れかの金属膜または金属化合物膜である。

【0028】（４）本発明の半導体装置は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたMISFETと、MISFETのソースまたはドレインとして機能する半導体領域に電気的に接続された第１電極、第１電極に対向して形成された第２電極および第１、第２電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、第１電極は、粒状シリコンまたはその表面に粒状体を有する第３多結晶シリコン膜を有し、粒状シリコンまたは第３多結晶シリコン膜上に第４多結晶シリコン膜が形成されているものである。

【0029】また、粒状シリコンは、接着層上に形成されているものである。

【0030】また、接着層は、多結晶シリコン膜である。

【0031】また、第１導電膜と粒状シリコンもしくは第２多結晶シリコン膜との界面、または接着層と粒状シリコンとの界面には、シリコン酸化物またはシリコン酸化膜を有するものである。

【0032】また、第１多結晶シリコン膜または第１導電膜を構成する結晶の面方位と、粒状シリコンまたは第２多結晶シリコン膜の面方位とは相違するものである。

【0033】また、第1多結晶シリコン膜、第1導電膜または第4多結晶シリコン膜の膜厚は、20nm以上、100nm以下である。

【0034】また、第1多結晶シリコン膜、第1導電膜である多結晶シリコン膜または第4多結晶シリコン膜に含まれる不純物の濃度は、 $1 \times 10^{20}$ atoms/cm<sup>3</sup>以上、 $1 \times 10^{22}$ atoms/cm<sup>3</sup>以下のものである。

【0035】また、粒状シリコンもしくは第2多結晶シリコン膜または第3多結晶シリコン膜に含まれる不純物の濃度は、 $5.0 \times 10^{20}$ atoms/cm<sup>3</sup>以下のものである。

【0036】(5)本発明の半導体装置の製造方法は、  
(a)半導体からなる基板または半導体層をその表面に有する基板の主面上に第1絶縁膜を堆積し、第1絶縁膜に溝を形成する工程、(b)溝の内面を含む第1絶縁膜上に第1非晶質シリコン膜を堆積する工程、(c)第1非晶質シリコン膜上に障害物を形成する工程、(d)第1非晶質シリコン膜上に第2非晶質シリコン膜を堆積する工程、(e)溝を埋め込む第2絶縁膜を形成する工程、(f)第2絶縁膜および溝以外の第1絶縁膜上の第2非晶質シリコン膜および第1非晶質シリコン膜を除去し、溝内に第1非晶質シリコン膜および第2非晶質シリコン膜を残存させる工程、(g)第2非晶質シリコン膜の表面にシリコン結晶核を形成する工程、(h)基板を熱処理し、第2非晶質シリコン膜をシリコンの粒状結晶に成長させる工程、を含むものである。

【0037】(6)本発明の半導体装置の製造方法は、  
(a)半導体からなる基板または半導体層をその表面に有する基板の主面上に第1絶縁膜を堆積し、第1絶縁膜に溝を形成する工程、(b)溝の内面を含む第1絶縁膜上に導電膜を堆積する工程、(c)導電膜上に第3非晶質シリコン膜を堆積する工程、(d)溝を埋め込む第2絶縁膜を形成する工程、(e)第2絶縁膜および溝以外の第1絶縁膜上の第3非晶質シリコン膜および導電膜を除去し、溝内に導電膜および第3非晶質シリコン膜を残存させる工程、(f)第3非晶質シリコン膜の表面にシリコン結晶核を形成する工程、(g)基板を熱処理し、第3非晶質シリコン膜をシリコンの粒状結晶に成長させる工程、を含むものである。

【0038】また、導電膜は、多結晶シリコン膜、金属シリサイド膜、多結晶シリコン膜と金属シリサイド膜または金属膜との積層膜、金属膜または金属化合物膜から選択された何れかの導電膜である。

【0039】また、金属シリサイド膜は、タングステンシリサイド膜、チタンシリサイド膜またはコバルトシリサイド膜から選択された何れかの金属シリサイド膜であり、金属膜または金属化合物膜は、タングステン膜、チタン膜、コバルト膜、窒化チタン膜または窒化タングステン膜から選択された何れかの金属膜または金属化合物膜である。

【0040】また、前記(6)の(b)工程の後、導電

膜の表面に障害物を形成する工程を有するものである。

【0041】(7)本発明の半導体装置の製造方法は、  
(a)半導体からなる基板または半導体層をその表面に有する基板の主面上に第1絶縁膜を堆積し、第1絶縁膜に溝を形成する工程、(b)溝の内面を含む第1絶縁膜上に第4非晶質シリコン膜を堆積する工程、(c)第4非晶質シリコン膜の表面にシリコン結晶核を形成する工程、(d)基板を熱処理し、第4非晶質シリコン膜をシリコンの粒状結晶に成長させる工程、(e)粒状結晶上に第1多結晶シリコン膜を形成する工程、(f)溝を埋め込む第2絶縁膜を形成する工程、(g)第2絶縁膜および溝以外の第1絶縁膜上の第1多結晶シリコン膜および粒状結晶を除去し、溝内に粒状結晶および第1多結晶シリコン膜を残存させる工程、を含むものである。

【0042】また、(a)工程の後、溝内に、第2多結晶シリコン膜または第6非晶質シリコン膜を形成するものである。

【0043】また、第2多結晶シリコン膜または第6非晶質シリコン膜を形成した後、その表面に障害物を形成するものである。

【0044】また、障害物は、シリコン酸化物またはシリコン酸化膜である。

【0045】また、シリコン酸化物またはシリコン酸化膜は、第1非晶質シリコン膜、導電膜である多結晶シリコン膜または第2多結晶シリコン膜もしくは第6非晶質シリコン膜の表面を酸素を含有する雰囲気暴露することにより形成されるものである。

【0046】また、第1非晶質シリコン膜、導電膜または第1多結晶シリコン膜の膜厚は、20nm以上、100nm以下であり、第1非晶質シリコン膜、導電膜である多結晶シリコン膜または第1多結晶シリコン膜に含まれる不純物の濃度は、 $1 \times 10^{20}$ atoms/cm<sup>3</sup>以上、 $1 \times 10^{22}$ atoms/cm<sup>3</sup>以下のものである。

【0047】また、第2非晶質シリコン膜、第3非晶質シリコン膜または第4非晶質シリコン膜の膜厚は20nm以上であり、第2非晶質シリコン膜、第3非晶質シリコン膜または第4非晶質シリコン膜に含まれる不純物の濃度は、 $5 \times 10^{20}$ atoms/cm<sup>3</sup>以下のものである。

【0048】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0049】(実施の形態1)図1は、実施の形態1のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイM

ARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの主面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0050】図2は、実施の形態1のDRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL(WL<sub>0</sub>、WL<sub>1</sub>、…、WL<sub>n</sub>)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)により構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積用容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース、ドレインの一方は、情報蓄積用容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0051】次に、本実施の形態のDRAMの製造方法を図面を用いて工程順に説明する。図3～図31は、実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【0052】まず、図3に示すように、素子分離領域および不純物が導入されたウェル領域を形成する。

【0053】p型で比抵抗が10Ωcm程度の単結晶シリコンからなる半導体基板1を用意し、たとえば850℃程度でウェット酸化して形成した膜厚10nm程度の薄いシリコン酸化膜(図示せず)およびたとえばCVD(Chemical Vapor Deposition)法で形成した膜厚140nm程度のシリコン窒化膜(図示せず)を半導体基板1上に堆積する。ここでは単結晶シリコンの半導体基板1を例示するが、表面に単結晶シリコン層を有するSOI(Silicon On Insulator)基板、あるいは、表面に多結晶シリコン膜を有するガラス、セラミックス等の誘電体基板であってもよい。

【0054】次に、フォトリソist膜(図示せず)をマスクにして、溝5が形成される領域の前記シリコン窒化膜およびシリコン酸化膜をパターニングし、このシリコン窒化膜をマスクとして半導体基板1をドライエッチングすることにより、素子分離領域の半導体基板1に深さ300～400nm程度の溝5を形成する。

【0055】次に、前記フォトリソist膜を除去した後、前記のエッチングによって溝5の内壁に生じたダメージ層を除去するために、たとえば850～900℃程度のウェット酸化による薄い(膜厚10nm程度の)シリコン酸化膜6を溝5の内壁に形成し、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜(図示せず)を300～400nm程度の膜厚で堆積する。このシリコン酸化膜は、1000℃程度でドラ

イ酸化によりシンタリング(焼き締め)を行なってもよい。

【0056】次に、このシリコン酸化膜をCMP法により研磨して溝5以外の領域のシリコン酸化膜を除去し、溝5の内部にシリコン酸化膜7を残して素子分離領域を形成する。なお、このCMP法による研磨の前に、溝5の領域にシリコン窒化膜を形成して、溝5領域のシリコン酸化膜が過剰に深く研磨されるディッシングを防止することができる。

10 【0057】次に、半導体基板1の表面に残存しているシリコン酸化膜およびシリコン窒化膜をたとえば熱リン酸を用いたウェットエッチングで除去した後、メモリセルを形成する領域(メモリアレイ)の半導体基板1にn型不純物、たとえばP(リン)をイオン打ち込みしてn型半導体領域10を形成し、メモリアレイと周辺回路の一部(nチャネル型MISFETを形成する領域)にp型不純物、たとえばB(ホウ素)をイオン打ち込みしてp型ウェル11を形成し、周辺回路の他の一部(pチャネル型MISFETを形成する領域)にn型不純物、たとえばP(リン)をイオン打ち込みしてn型ウェル12を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、たとえばBF<sub>2</sub>(フッ化ホウ素)をp型ウェル11およびn型ウェル12にイオン打ち込みする。n型半導体領域10は、入出力回路などから半導体基板1を通じてメモリアレイのp型ウェル11にノイズが侵入するのを防止するために形成される。

30 【0058】次に、半導体基板1の表面をたとえばHF(フッ酸)系の洗浄液を使って洗浄した後、半導体基板1を850℃程度でウェット酸化してp型ウェル11およびn型ウェル12の各表面に膜厚7nm程度の清浄なゲート酸化膜13を形成する。特に限定はされないが、上記ゲート酸化膜13を形成した後、半導体基板1をNO(酸化窒素)雰囲気中またはN<sub>2</sub>O(亜酸化窒素)雰囲気中で熱処理することによって、ゲート酸化膜13と半導体基板1との界面に窒素を偏析させてもよい(酸窒化処理)。ゲート酸化膜13が7nm程度まで薄くなると、半導体基板1との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板1との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極めて薄いゲート酸化膜13の信頼性を向上できる。

40 【0059】次に、図4に示すように、ゲート酸化膜13の上部にゲート電極14A、14B、14Cを形成する。ゲート電極14Aは、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして使用される。このゲート電極14A(ワード線WL)の幅、すなわちゲート長は、メモリセル選択用MISFETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法(たと

例えば $0.24\mu\text{m}$ 程度)で構成される。また、隣接するゲート電極14A(ワード線WL)同士の間隔は、フォトリソグラフィの解像限界で決まる最小寸法(たとえば $0.22\mu\text{m}$ )で構成される。ゲート電極14Bおよびゲート電極14Cは、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの各一部を構成する。

【0060】ゲート電極14A(ワード線WL)およびゲート電極14B、14Cは、たとえばP(リン)などのn型不純物がドーパされた膜厚 $70\text{nm}$ 程度の多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部に膜厚 $50\text{nm}$ 程度のWN(タングステンナイトライド)膜と膜厚 $100\text{nm}$ 程度のW膜とをスパッタリング法で堆積し、さらにその上部に膜厚 $150\text{nm}$ 程度のシリコン窒化膜15をCVD法で堆積した後、フォトレジスト膜16をマスクにしてこれらの膜をパターンニングすることにより形成する。WN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、WN膜の他、TiN(チタンナイトライド)膜などを使用することもできる。

【0061】ゲート電極14A(ワード線WL)の一部を低抵抗の金属(W)で構成した場合には、そのシート抵抗を $2\sim 2.5\Omega/\square$ 程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極14(ワード線WL)をAI配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上部に形成される配線層の数を1層減らすことができる。

【0062】次に、フォトレジスト膜16を除去した後、フッ酸などのエッチング液を使って、半導体基板1の表面に残ったドライエッチング残渣やフォトレジスト残渣などを除去する。このウェットエッチングを行うと、ゲート電極14A(ワード線WL)およびゲート電極14B、14Cの下部以外の領域のゲート酸化膜13が削られると同時に、ゲート側壁下部のゲート酸化膜13も等方的にエッチングされてアンダーカットが生じるため、そのままではゲート酸化膜13の耐圧が低下する。そこで、半導体基板1を $900^\circ\text{C}$ 程度でウェット酸化することによって、削れたゲート酸化膜13の膜質を改善する。

【0063】次に、図5に示すように、n型ウエル12にp型不純物、たとえばB(ホウ素)をイオン打ち込みしてゲート電極14Cの両側のn型ウエル12にp<sup>-</sup>型半導体領域17を形成する。また、p型ウエル11にn型不純物、たとえばP(リン)をイオン打ち込みしてゲート電極14Bの両側のp型ウエル11にn<sup>-</sup>型半導体領域18を形成し、ゲート電極14Aの両側のp型ウエル11にn型半導体領域19を形成する。これにより、メモリアレイにメモリセル選択用MISFETQsが形成される。

【0064】次に、図6に示すように、半導体基板1上

にCVD法で膜厚 $50\sim 100\text{nm}$ 程度のシリコン窒化膜20を堆積した後、メモリアレイのシリコン窒化膜20をフォトレジスト膜21で覆い、周辺回路のシリコン窒化膜20を異方性エッチングすることにより、ゲート電極14B、14Cの側壁にサイドウォールスペーサ20aを形成する。このエッチングは、ゲート酸化膜13や素子分離溝5に埋め込まれたシリコン酸化膜7の削れ量を最少とするために、シリコン酸化膜に対するシリコン窒化膜20のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極14B、14C上のシリコン窒化膜15の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【0065】次に、フォトレジスト膜21を除去した後、図7に示すように、周辺回路領域のn型ウエル12にp型不純物、たとえばB(ホウ素)をイオン打ち込みしてpチャネル型MISFETのp<sup>+</sup>型半導体領域22(ソース、ドレイン)を形成し、周辺回路領域のp型ウエル11にn型不純物、たとえばAs(ヒ素)をイオン打ち込みしてnチャネル型MISFETのn<sup>+</sup>型半導体領域23(ソース、ドレイン)を形成する。これにより、周辺回路領域にLDD(Lightly Doped Drain)構造を備えたpチャネル型MISFETQpおよびnチャネル型MISFETQnが形成される。

【0066】次に、図8に示すように、半導体基板1上に膜厚 $300\text{nm}$ 程度のSOG(SpinOn Glass)膜24をスピン塗布した後、半導体基板1を $800^\circ\text{C}$ 、1分程度熱処理してSOG膜24をシンタリング(焼き締め)する。また、SOG膜24の上部に膜厚 $600\text{nm}$ 程度のシリコン酸化膜25を堆積した後、このシリコン酸化膜25をCMP法で研磨してその表面を平坦化する。さらに、シリコン酸化膜25の上部に膜厚 $100\text{nm}$ 程度のシリコン酸化膜26を堆積する。このシリコン酸化膜26は、CMP法で研磨されたときに生じた前記シリコン酸化膜25の表面の微細な傷を補修するために堆積する。シリコン酸化膜25、26は、たとえばオゾン( $\text{O}_3$ )とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。シリコン酸化膜26に代えてPSG(Phospho Silicate Glass)膜などを堆積してもよい。

【0067】このように、本実施の形態では、ゲート電極14A(ワード線WL)およびゲート電極14B、14Cの上部にリフロー性が高いSOG膜24を塗布し、さらにその上部に堆積したシリコン酸化膜25をCMP法で平坦化する。これにより、ゲート電極14A(ワード線WL)同士の微細な隙間のギャップフィル性が向上すると共に、ゲート電極14A(ワード線WL)およびゲート電極14B、14Cの上部の絶膜の平坦化を実現することができる。

【0068】次に、図9に示すように、フォトレジスト

膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部のシリコン酸化膜26、25およびSOG膜24を除去する。このエッチングは、シリコン窒化膜20に対するシリコン酸化膜26、25およびSOG膜24のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5の上部を覆っているシリコン窒化膜20が完全には除去されないようにする。続いて、上記フォトレジスト膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部のシリコン窒化膜20とゲート酸化膜13とを除去することにより、n型半導体領域19（ソース、ドレイン）の一方の上部にコンタクトホール28を形成し、他方の上部にコンタクトホール29を形成する。このエッチングは、シリコン酸化膜（ゲート酸化膜13および素子分離溝5内のシリコン酸化膜7）に対するシリコン窒化膜15のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5が深く削れないようにする。また、このエッチングは、シリコン窒化膜20が異方的にエッチングされるような条件で行い、ゲート電極14A（ワード線WL）の側壁にシリコン窒化膜20が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール28、29がゲート電極14A（ワード線WL）に対して自己整合で形成される。コンタクトホール28、29をゲート電極14A（ワード線WL）に対して自己整合で形成するには、あらかじめシリコン窒化膜20を異方性エッチングしてゲート電極14A（ワード線WL）の側壁にサイドウォールスペーサを形成しておいてもよい。

【0069】なお、図9におけるシリコン酸化膜26およびレジスト膜27の表面は、図8に示すような周辺回路領域におけるシリコン酸化膜25表面に沿って落ち込み（段差）形状を成している。図9はその形状を省略している。

【0070】次に、フォトレジスト膜27を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、コンタクトホール28、29の底部に露出した基板表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、コンタクトホール28、29の側壁に露出したSOG膜24もエッチング液に曝されるが、SOG膜24は、前述した800℃程度のシタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってコンタクトホール28、29の側壁が大きくアンダーカットされることはない。これにより、次の工程でコンタクトホール28、29の内部に埋め込まれるプラグ同士のショートを実際に防止することができる。

【0071】次に、図10に示すように、コンタクトホール28、29の内部にプラグ30を形成する。プラグ30は、シリコン酸化膜26の上部にn型不純物（たとえばP（リン））をドーパした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール28、29の内部に残すことにより形成する。

【0072】次に、図11に示すように、シリコン酸化膜26の上部に膜厚200nm程度のシリコン酸化膜31を堆積した後、半導体基板1を800℃程度で熱処理する。シリコン酸化膜31は、たとえばオゾン（O<sub>3</sub>）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。この熱処理によって、プラグ30を構成する多結晶シリコン膜中のn型不純物がコンタクトホール28、29の底部からメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）に拡散し、n型半導体領域19が低抵抗化される。

【0073】次に、図12に示すように、フォトレジスト膜32をマスクにしたドライエッチングで前記コンタクトホール28の上部のシリコン酸化膜31を除去してプラグ30の表面を露出させる。次に、フォトレジスト膜32を除去した後、図13に示すように、フォトレジスト膜33をマスクにしたドライエッチングで周辺回路領域のシリコン酸化膜31、26、25、SOG膜24およびゲート酸化膜13を除去することにより、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域23（ソース、ドレイン）の上部にコンタクトホール34、35を形成し、pチャネル型MISFETQpのp<sup>+</sup>型半導体領域22（ソース、ドレイン）の上部にコンタクトホール36、37を形成する。

【0074】次に、フォトレジスト膜33を除去した後、図14に示すように、シリコン酸化膜31の上部にビット線BLおよび周辺回路の第1層配線38、39を形成する。ビット線BLおよび第1層配線38、39を形成するには、まずシリコン酸化膜31の上部に膜厚50nm程度のTi膜をスパッタリング法で堆積し、半導体基板1を800℃程度で熱処理する。次いで、Ti膜の上部に膜厚50nm程度のTiN膜をスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のW膜と膜厚200nm程度のシリコン窒化膜40とをCVD法で堆積した後、フォトレジスト膜41をマスクにしてこれらの膜をパターニングする。

【0075】シリコン酸化膜31の上部にTi膜を堆積した後、半導体基板1を800℃程度で熱処理することにより、Ti膜と下地Siとが反応し、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域23（ソース、ドレイン）の表面とpチャネル型MISFETQpのp<sup>+</sup>型半導体領域22（ソース、ドレイン）の表面とプラグ30の表面とに低抵抗のTiSi<sub>2</sub>（チタンシリサイド）



層42が形成される。これにより、 $n^+$ 型半導体領域23、 $p^+$ 型半導体領域22およびプラグ30に接続される配線（ビット線BL、第1層配線38、39）のコンタクト抵抗を低減することができる。また、ビット線BLをW膜/TiN膜/Ti膜で構成することにより、そのシート抵抗を $2\Omega/\square$ 以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができる。ビット線BLと周辺回路の第1層配線38、39とを一つの工程で同時に形成することができるので、DRAMの製造工程を短縮することができる。さらに、周辺回路の第1層配線（38、39）をビット線BLと同層の配線で構成した場合には、第1層配線をメモリスルの上層のA1配線で構成する場合に比べて周辺回路のMISFET（ $n$ チャネル型MISFETQ<sub>n</sub>、 $p$ チャネル型MISFETQ<sub>p</sub>）と第1層配線とを接続するコンタクトホール（34~37）のアスペクト比が低減されるため、第1層配線の接続信頼性が向上する。

【0076】ビット線BLは、隣接するビット線BLとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、その間隔がその幅よりも長くなるように形成する。ビット線BLの間隔はたとえば $0.24\mu\text{m}$ 程度とし、その幅はたとえば $0.22\mu\text{m}$ 程度とする。

【0077】なお、TiSi<sub>2</sub>層42は、熱処理による劣化が生じる可能性があるが、その熱処理として後に説明する情報蓄積用容量素子の容量絶縁膜の形成工程が考えられる。しかしながら、後に説明するように、本実施の形態においては容量絶縁膜の形成工程が低温化されるため、TiSi<sub>2</sub>層42が熱処理により劣化し、接続抵抗の上昇等の不具合を生じることはない。

【0078】次に、フォトリソ膜41を除去した後、図15に示すように、ビット線BLの側壁と第1層配線38、39の側壁とにサイドウォールスペーサ43を形成する。サイドウォールスペーサ43は、ビット線BLおよび第1層配線38、39の上部にCVD法でシリコン窒化膜を堆積した後、このシリコン窒化膜を異方性エッチングして形成する。

【0079】次に、図16に示すように、ビット線BLおよび第1層配線38、39の上部に膜厚 $300\text{nm}$ 程度のSOG膜44をスピン塗布する。次いで、半導体基板1を $800^\circ\text{C}$ 、1分程度熱処理してSOG膜44をシンタリング（焼き締め）する。SOG膜44は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたビット線BL同士の隙間を良好に埋め込むことができる。また、SOG膜44は、BPSG膜で必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるため、ビット線BLの下層に形成されたメモリスル選択用MISFETQsの

ソース、ドレインや周辺回路のMISFET（ $n$ チャネル型MISFETQ<sub>n</sub>、 $p$ チャネル型MISFETQ<sub>p</sub>）のソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができる。さらに、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cを構成するメタル（W膜）の劣化を抑制できるので、DRAMのメモリスルおよび周辺回路を構成するMISFETの高性能化を実現することができる。また、ビット線BLおよび第1層配線38、39を構成するTi膜、TiN膜、W膜の劣化を抑制して配線抵抗の低減を図ることができる。

【0080】次に、SOG膜44の上部に膜厚 $600\text{nm}$ 程度のシリコン酸化膜45を堆積した後、このシリコン酸化膜45をCMP法で研磨してその表面を平坦化する。シリコン酸化膜45は、たとえばオゾン（O<sub>3</sub>）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。

【0081】このように、本実施の形態では、ビット線BLおよび第1層配線38、39の上部に成膜直後でも平坦性が良好なSOG膜44を塗布し、さらにその上部に堆積したシリコン酸化膜45をCMP法で平坦化する。これにより、ビット線BL同士の微細な隙間のギャップフィル性が向上すると共に、ビット線BLおよび第1層配線38、39の上部の絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリスルおよび周辺回路を構成するMISFETの特性劣化を防止して高性能化を実現できると共に、ビット線BLおよび第1層配線38、39の低抵抗化を図ることができる。

【0082】次に、シリコン酸化膜45の上部に膜厚 $100\text{nm}$ 程度のシリコン酸化膜46を堆積する。このシリコン酸化膜46は、CMP法で研磨されたときに生じた前記シリコン酸化膜45の表面の微細な傷を補修するために堆積する。シリコン酸化膜46は、たとえばオゾン（O<sub>3</sub>）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。

【0083】次に、図17に示すように、フォトリソ膜47をマスクにしたドライエッチングでコンタクトホール29の上部のシリコン酸化膜46、45、SOG膜44およびシリコン酸化膜31を除去してプラグ30の表面に達するスルーホール48を形成する。このエッチングは、シリコン酸化膜46、45、31およびSOG膜44に対するシリコン窒化膜のエッチングレートが小さくなるような条件で行い、スルーホール48とビット線BLの合わせずれが生じた場合でも、ビット線BLの上部のシリコン窒化膜40やサイドウォールスペーサ43が深く削れないようにする。これにより、スルーホール48がビット線BLに対して自己整合で形成される。

【0084】次に、フォトリソ膜47を除去した

後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、スルーホール48の底部に露出したプラグ30の表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、スルーホール48の側壁に露出したSOG膜44もエッチング液に曝されるが、SOG膜44は、前記800℃程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってスルーホール48の側壁が大きくアンダーカットされることはない。これにより、次の工程でスルーホール48の内部に埋め込まれるプラグとビット線B1とのショートを確実に防止することができる。また、プラグとビット線B1とを十分に離間させることができるので、ビット線B1の寄生容量の増加を抑制することができる。

【0085】次に、図18に示すように、スルーホール48の内部にプラグ49を形成する。プラグ49は、多結晶シリコン膜からなり、プラグ30と同様に形成される。

【0086】次に、図19に示すように、シリコン酸化膜46の上部に膜厚1.3μm程度のシリコン酸化膜50を堆積し、フォトレジスト膜51をマスクとしてシリコン酸化膜50をドライエッチングすることにより溝52を形成する。シリコン酸化膜50は、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。また、溝52は、プラグ49の上部に開口され、プラグ49の上面が露出するまで行なう。溝52の内壁には後に説明するキャパシタの下部電極が形成される。

【0087】次に、フォトレジスト膜51を除去した後、図20に示すように、第1層目の非晶質シリコン膜53を堆積する。非晶質シリコン膜53は、CVD法で堆積され、その膜厚は30nmとする。また、非晶質シリコン膜53には、 $4.0 \times 10^{20}$ atoms/cm<sup>3</sup>程度の濃度のリン(P)を導入する。リンの導入はCVD法で非晶質シリコン膜53を堆積する際に不純物ガスとしてたとえばホスフィン(PH<sub>3</sub>)を原料ガスに混入し導入できるが、これに限られず、イオン注入法等を用いて不純物を導入してもよい。第1層目の非晶質シリコン膜53は、後に説明するように結晶化されて多結晶シリコン膜となり下部電極の一部となるが、粒状シリコン結晶の成長には寄与せず、膜状態で結晶化される。このため下部電極の導電性が確保される。また、 $4.0 \times 10^{20}$ atoms/cm<sup>3</sup>程度という比較的高い濃度の不純物が導入されるためこの点からも下部電極の導電性が確保されることとなる。

【0088】次に、CVD装置の反応室内に半導体基板1を保持した状態で、反応室をリークし、反応室内に大気を導入する。この後、図21に示すように、第2層目の非晶質シリコン膜54を堆積する。非晶質シリコン膜

54は、CVD法により堆積し、膜厚は20nmとする。また、非晶質シリコン膜54には、 $1.5 \times 10^{20}$ atoms/cm<sup>3</sup>程度の濃度のリン(P)を前記と同様に導入する。

【0089】非晶質シリコン膜54は、後に説明するように、粒状シリコン結晶に成長する原料層であり粒状結晶は下部電極の表面部分を構成する。このため、不純物の濃度は $1.5 \times 10^{20}$ atoms/cm<sup>3</sup>程度と比較的低くして粒状結晶が容易に成長するように調整する。また、非晶質シリコン膜54の膜厚により粒状結晶の高さつまり、下部電極の膜厚が調整できる。たとえば粒状結晶の高さを高くする場合には非晶質シリコン膜54の膜厚を厚くし、低くする場合には膜厚を薄くする。このように非晶質シリコン膜54の膜厚で粒状結晶の高さを容易に調整できる。

【0090】なお、非晶質シリコン膜53、54に導入される不純物の濃度は前記に限られない。非晶質シリコン膜53の不純物濃度は、下部電極の導電性を確保する点から多いほど好ましいが、あまりに多いとドーピングできず、結晶化の妨げになる場合もある。従って非晶質シリコン膜53の不純物濃度は、 $1 \times 10^{20}$ atoms/cm<sup>3</sup>以上、 $1 \times 10^{22}$ atoms/cm<sup>3</sup>以下とすることができる。非晶質シリコン膜54の不純物濃度は、粒状結晶の成長性を考慮すれば低い方が望ましい。従って、非晶質シリコン膜53の不純物濃度は、 $5.0 \times 10^{20}$ atoms/cm<sup>3</sup>以下、好ましくは $1.5 \times 10^{20}$ atoms/cm<sup>3</sup>以下とするのがよい。

【0091】また、非晶質シリコン膜53、54の膜厚は前記に限られない。非晶質シリコン膜53は下部電極の導電性を確保する観点から厚い方が望ましいが、あまりに厚いと微細加工に対応できない。従って非晶質シリコン膜53の膜厚は20nm以上100nm以下とすることができる。非晶質シリコン膜54は、前記したように粒状結晶の原料層となる。従って、膜厚が厚いと大きな(高さの高い)粒状結晶が成長し微細加工上好ましくない。しかし、あまりに薄いと粒状結晶が成長しなくなることが本発明者らの検討により判明している。従って、非晶質シリコン膜54の膜厚は20nm以上とすることができる。

【0092】前記したように、第2層目の非晶質シリコン膜54の堆積前に、第1層目の非晶質シリコン膜53を一旦大気雰囲気曝すため、図22に示すように、非晶質シリコン膜53と非晶質シリコン膜54との間に自然酸化膜55が形成される。自然酸化膜55は、その膜厚が2nm以下である。また、図22では便宜上自然酸化膜55を連続した膜として示しているが、必ずしも膜である必要はなく、島状(アイランド状)のシリコン酸化物であってもよい。自然酸化膜55は、後に説明する第2層目の非晶質シリコン膜54の結晶化の際に、粒状結晶の原料となるシリコン原子の供給を非晶質シリコン

膜54からだけに制限し、第1層目の非晶質シリコン膜53からは粒状シリコン結晶の成長に寄与するシリコン原子の供給がされないようにシリコン原子の移動を阻害する阻害物の機能を有する。

【0093】なお、ここでは第1層目の非晶質シリコン膜53の表面を大気解放により大気雰囲気暴露して自然酸化膜55が形成される場合を例示しているが、積極的に前記したようなシリコン原子の移動を阻害する阻害物を薄膜、あるいは付着物として形成してもよい。たとえばごく短時間のシリコン酸化膜の堆積、あるいはたとえばの酸化剤たとえばオゾン、酸化窒素等の暴露、あるいは酸化雰囲気でのプラズマ処理、紫外線照射処理等を行ってもよい。

【0094】次に、図23に示すように、溝52を埋め込む絶縁膜56を堆積する。絶縁膜56の堆積によりその表面をほぼ平坦にすることが好ましく、また、絶縁膜56は、後にエッチバックされ、溝52内の残存物をエッチングして除去するものであるため、シリコン酸化膜50に対してエッチングが容易な材料からなるものが好ましい。たとえばSOG(Spin On Glass)膜、レジスト等の有機樹脂が例示できる。

【0095】次に、図24に示すように、絶縁膜56をドライエッチングによりエッチバックする。このエッチバックは、溝52以外のシリコン酸化膜50表面の非晶質シリコン膜53、54がエッチングされるまで行う。このようにして溝52内に筒型の非晶質シリコン膜53、54の積層膜が残存する。

【0096】次に、図25に示すように、溝52内の絶縁膜56をたとえばHF(フッ化水素)系のエッチングにより除去し、非晶質シリコン膜54の表面を露出させる。

【0097】次に、図26に示すように、非晶質シリコン膜54を結晶化して粒状シリコン結晶57を成長させる。粒状シリコン結晶57の成長は次の2段階に分けられる。まず、シリコン核づけの段階であり、次にシリコンの粒成長を促す熱処理の段階である。この2段階を連続して処理する。

【0098】シリコン核づけの条件は、たとえば圧力 $1 \times 10^{-3}$ Torrのモノシラン( $\text{SiH}_4$ )ガス雰囲気中で、処理温度740℃、処理時間60秒の条件で半導体基板1を保持する。これにより非晶質シリコン膜54の表面にシリコン核が形成される。次に、熱処理の条件は、たとえば処理圧力 $1 \times 10^{-3}$ Torr、処理温度740℃、処理時間150秒である。この条件下でシリコンが粒状に成長する。

【0099】ここで、前記したように、粒状シリコン結晶57は非晶質シリコン膜54から成長し、非晶質シリコン膜53からのシリコンの供給はなされない。これは、シリコン移動阻害物である自然酸化膜55の機能により、非晶質シリコン膜53からのシリコンの移動が生

じないためである。この結果、上記熱処理により非晶質シリコン膜54からシリコンが供給されて表面に生じたシリコン核が非晶質シリコン膜54からのシリコンを吸い上げ成長しても、非晶質シリコン膜54が無くなるまでつまりシリコンが供給され尽くせば粒状シリコン結晶57の成長はそこで止まる。これが粒状シリコン結晶57の高さ(凹凸の高さ)を非晶質シリコン膜54の膜厚により制御できる機構であると考えられる。このため、従来熱処理時間により成長粒の大きさ(高さ)を制御していたところ、時間の要因はほぼ無関係となり、熱処理時間によらず粒状シリコン結晶57の高さ(大きさ)を調整することが可能となる。いわば自己終了型の反応であり、極めて制御性がよく、プロセスウインドウが広くなり、工程の安定化、ロバスト性の向上に極めて有利となる。

【0100】次に、800℃程度の熱処理を施し、第1層目の非晶質シリコン膜53を結晶化して多結晶シリコン膜58とする。このようにして多結晶シリコン膜58、粒状シリコン結晶57からなる下部電極59が形成される。なお、上記に核づけ、各熱処理の条件はあくまでも例示であり、これに限定されない。たとえば温度、処理時間の条件等は他の条件を任意に選択できるし、また、モノシランに代えてジシラン( $\text{Si}_2\text{H}_6$ )を用いることもできる。

【0101】図27は、下部電極59の一部を模式的に拡大して示した断面図である。粒状シリコン結晶57はほとんどすべての非晶質シリコン膜54からのシリコンの供給を受けて成長が完了している状態を示している。このため、粒状シリコン結晶57同士では膜としてつながっておらず、多結晶シリコン膜58の表面に付着した様になっている。一方、多結晶シリコン膜58は、粒界で結晶同士が接触し、十分な電氣的導通が図られる。また、非晶質シリコン膜53からシリコンが供給されないため、その膜厚の減少は無く、非晶質シリコン膜53として形成された形状がそのまま維持されて結晶化される。また、多結晶シリコン膜58は非晶質シリコン膜53から固相成長により結晶化して形成される。このため、多結晶シリコン膜58の表面は極めて平坦であり、その表面粗さ(たとえば5点平均粗さ)は多結晶シリコン膜58の膜厚の10%以下である。

【0102】また、粒状シリコン結晶57と多結晶シリコン膜58の面方位は相違している。これは、粒状シリコン結晶57と多結晶シリコン膜58とが、何れか一方の結晶性に影響されず結晶化したことを示しており、阻害膜である自然酸化膜55の存在が原因していると考えられる。

【0103】実際の下部電極形状を電子顕微鏡(SEM)で観察した断面形状の写真の複写図を図28に示す。図28に示す部分は、ほぼ図26におけるA部である。図26に示すように第1層目の非晶質シリコン膜5

3が結晶化した多結晶シリコン膜58はほぼ平坦であり、その平坦な多結晶シリコン膜58の表面に粒状シリコン結晶57が付着したように形成されている。子が観察できる。また、粒状シリコン結晶57の高さは均一に形成されており、極めて制御性良く粒成長されたモノであることが理解できよう。なお、粒状シリコン結晶57の表面に描かれているのは次に説明する容量絶縁膜60である。

【0104】なお、図27において自然酸化膜55を連続した膜のように描いているが前記したと同様に、自然酸化膜55が現実には膜として形成されていることを要件とするものではなく、図27においては便宜上膜として描いているのみである。従って、自然酸化膜55は、実際にはアイランド状に形成されたシリコン酸化物であってもよく、シリコン酸化物が存在しない界面領域があってもかまわない。また、自然酸化膜55は極めて薄いため、図28に示すSEM写真の模写図には当然描けるものではない。

【0105】次に、図29に示すように、半導体基板1の全面に容量絶縁膜60を形成する。容量絶縁膜60は、たとえばCVD法によるシリコン酸化膜、シリコン窒化膜、シリコン酸化膜の積層膜で構成することができる。この場合、シリコン酸化膜による下部電極表面の酸化を防止するため、容量絶縁膜60の形成前にたとえばアンモニア雰囲気中で熱処理し、下部電極の表面を窒化してもよい。

【0106】また、容量絶縁膜60は、酸化タンタル膜を用いることもできる。酸化タンタル膜はCVD法により非晶質の酸化タンタル膜を堆積し、これを酸素雰囲気における熱処理で結晶化し、多結晶酸化タンタル膜を形成してもよい。この場合にも下部電極表面の酸化を防止するため、容量絶縁膜60の形成前にたとえばアンモニア雰囲気中で熱処理し、下部電極の表面を窒化してもよい。

【0107】次に、容量絶縁膜60上に上部電極となる導電体膜61を堆積し、図30に示すように、フォトレジスト膜62をマスクとして導電体膜61および容量絶縁膜60をエッチングする。導電体膜61としては、たとえば多結晶シリコン膜、窒化タングステン膜、タングステン膜、窒化チタン膜が例示できる。

【0108】次に、フォトレジスト膜62を除去し、図32に示すように、情報蓄積用容量素子Cの上部に膜厚40nm程度のシリコン酸化膜63を堆積する。シリコン酸化膜63は、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。その後、フォトレジスト膜をマスクにしたドライエッチングで周辺回路の第1層配線38の上部の絶縁膜を除去することにより、スルーホール64を形成する。その後、スルーホール64の内部にプラグ65を形成し、続いてシリコン酸化膜63の上部に第

2層配線66を形成する。プラグ65は、シリコン酸化膜63の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール64の内部に残すことにより形成する。第2層配線66は、シリコン酸化膜63の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl(アルミニウム)膜、膜厚50nm程度のTi膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。

【0109】その後、層間絶縁膜を介して第3層配線を形成し、その上部にシリコン酸化膜とシリコン窒化膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。

【0110】なお、第3層配線およびそれに接続するプラグは第2層配線の場合と同様に形成することができ、層間絶縁膜は、たとえば膜厚300nm程度のシリコン酸化膜、膜厚400nm程度のSOG膜および膜厚300nm程度のシリコン酸化膜で構成できる。シリコン酸化膜は、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積できる。

【0111】本実施の形態によれば、粒状シリコン結晶57を制御性良く形成することができる。これにより微細加工に対応した粒状シリコン結晶を有する多結晶シリコン膜を提供できる。

【0112】また、多結晶シリコン膜58が粒状シリコン結晶57の成長に関わり無くその膜厚を維持することができるため、下部電極59の導電性を十分に確保することができる。この導電性は、多結晶シリコン膜58となる非晶質シリコン膜53への不純物導入量を調整することによっても良好に維持することができる。

【0113】また、多結晶シリコン膜58への不純物の多量な導入は、下部電極59の空乏層の形成を抑制する効果も有する。つまり、下部電極59を構成する多結晶シリコン膜58に不純物を大量に導入し、一方、粒状シリコン結晶57にはその成長阻害性を考慮して不純物を少なくする。しかし、容量絶縁膜60の形成工程等高温の熱プロセスを経れば、多結晶シリコン膜58中の不純物が十分に活性化され、あるいは、多結晶シリコン膜58から粒状シリコン結晶57への不純物の拡散が発生する。粒成長後に不純物濃度が増加することは結晶性等に何ら影響せず、むしろ空乏層の形成を抑えて容量値の低下を抑制できる。この結果蓄積電荷量を増加してDRAMのリフレッシュ特性を向上できる。

【0114】なお、本実施の形態では、非晶質シリコン膜54が全て粒状シリコン結晶57に成長する場合を説明したが、図32に示すように、非晶質シリコン膜54

10

20

30

40

50

の一部が粒状シリコン結晶67に成長し、一部が多結晶シリコン膜68として残存してもよい。

【0115】(実施の形態2)図33～図35は、実施の形態2のDRAMの製造工程の一例を工程順に示した断面図である。図33～図35において、(a)はDRAMの情報蓄積用容量素子の部分を拡大した断面図であり、(b)は情報蓄積用容量素子を構成する下部電極の一部を拡大した断面図である。

【0116】本実施の形態のDRAMは、その回路構成および平面構成において図1および図2に示したものと同様である。また、情報蓄積用容量素子Cの構造において相違するところを除き、実施の形態1の断面と同様である。したがって、以下の説明ではその相違する部分についてのみ説明し、同様な部分の説明は省略する。

【0117】本実施の形態2のDRAMの製造方法は、実施の形態1における図19までの工程と同様である。その後、図33(a)に示すように、シリコン酸化膜50の溝52の内部を覆うように多結晶シリコン膜69を形成する。実施の形態1では非晶質シリコン膜53を堆積し、後にこれを熱処理して結晶化したが、本実施の形態では、アズデポ状態で多結晶シリコン膜となるようにCVD法により多結晶シリコン膜69を堆積した。このため図33(b)に示すように、表面に多結晶シリコン膜のグレインに起因するある程度の凹凸が形成される。

【0118】次に、図34(a)に示すように、多結晶シリコン膜69上に非晶質シリコン膜70を堆積する。図34(b)に示すように、本実施の形態では自然酸化膜が形成されていない。

【0119】次に、実施の形態1の図23および図24の工程と同様にして溝52内のみ多結晶シリコン膜69および非晶質シリコン膜70のみを残存させ、図35(a)に示すように、非晶質シリコン膜70に実施の形態1と同様なシリコン核づけおよび粒成長促進のための熱処理を行い、粒状シリコン結晶71を成長させる。

【0120】本実施の形態の場合、阻害膜である酸化膜が形成されていないが、粒状シリコン結晶71の原料層である非晶質シリコン膜70は多結晶シリコン膜69上に形成されているため、粒状シリコン結晶71の成長において多結晶シリコン膜69からシリコンが供給されることはない。このため、阻害層を有さなくとも制御性のよい粒状シリコン結晶71を得ることができる。なお、多結晶シリコン膜69および非晶質シリコン膜70の膜厚および不純物濃度は実施の形態1と同様とする。

【0121】上記のように粒状シリコン結晶71の成長において多結晶シリコン膜69からシリコンが供給されることがないため、図35(b)に示すように、粒状シリコン結晶71が成長し尽くした後においても多結晶シリコン膜69の膜厚は維持され、必要な導電性は多結晶シリコン膜69により確保される。

【0122】なお、図36に示すように、非晶質シリコ

ン膜70の一部が粒状シリコン結晶72に成長し、一部が多結晶シリコン膜73として残存してもよい。

【0123】(実施の形態3)図37～図39は、実施の形態3のDRAMの製造工程の一例を工程順に示した断面図である。図37～図39において、(a)はDRAMの情報蓄積用容量素子の部分を拡大した断面図であり、(b)は情報蓄積用容量素子を構成する下部電極の一部を拡大した断面図である。

【0124】本実施の形態の製造方法は、実施の形態2の製造方法において阻害膜である自然酸化膜が形成されていることを除き同様である。したがって、以下の説明ではその相違する部分についてのみ説明し、同様な部分の説明は省略する。

【0125】実施の形態2の図33の場合と同様に多結晶シリコン膜69を形成する。その後、図37に示すように、反応室に大気をリークし、多結晶シリコン膜69の表面を大気に曝して自然酸化膜74を形成する。

【0126】次に、図38に示すように、実施の形態2と同様に非晶質シリコン膜70を形成する。本実施の形態においては、自然酸化膜74が形成されているため、非晶質シリコン膜70の堆積の際に多結晶シリコン膜69の結晶性を反映したホモエピタキシャル成長が生じる恐れがない。すなわち、非晶質シリコン膜70の堆積条件によってはホモエピタキシャル成長が生じ、非晶質シリコン膜70にマイクロクリスタル(微結晶)が含まれる可能性があるが、本実施の形態ではそのような可能性が極めて低い。つまり、自然酸化膜74が非晶質シリコン膜70のエピタキシャル成長(結晶化)を阻害する膜として機能する。

【0127】次に、図39に示すように、実施の形態2と同様に溝52内のみ多結晶シリコン膜69および非晶質シリコン膜70を残存させ、非晶質シリコン膜70を粒状シリコン結晶71を成長させる。

【0128】本実施の形態では結晶化阻害膜である自然酸化膜74が形成されているため、非晶質シリコン膜70をほぼ完全に非晶質として堆積でき、確実に粒状シリコン結晶71を成長させることができる。

【0129】なお、実施の形態1、2と同様に、粒状シリコン結晶71の成長を途中で止めて、粒状部を有する多結晶シリコン膜としてもよいことは勿論である。

【0130】(実施の形態4)図40～図43は、実施の形態4のDRAMの製造工程の一例を工程順に示した断面図であり、DRAMの情報蓄積用容量素子の部分を拡大した断面図である。

【0131】本実施の形態のDRAMは、その回路構成および平面構成において図1および図2に示したものと同様である。また、情報蓄積用容量素子Cの構造において相違するところを除き、実施の形態1の断面と同様である。したがって、以下の説明ではその相違する部分についてのみ説明し、同様な部分の説明は省略する。

50

【0132】本実施の形態の DRAM の製造方法は、実施の形態 1 における図 19 までの工程と同様である。その後、図 40 に示すように、シリコン酸化膜 50 の溝 52 の内部を覆うように非晶質シリコン膜 75 を形成する。実施の形態 1 ではさらに非晶質シリコン膜を堆積したが、本実施の形態では、図 41 に示すように、この段階で非晶質シリコン膜 75 を粒成長させ粒状シリコン結晶 76 を形成する。このように 1 層の非晶質シリコン膜 75 で粒状シリコン結晶 76 に成長させるため、下地の結晶性や阻害膜の介在を考慮すること無く粒状シリコン結晶 76 を制御性よく形成できる。

【0133】次に、図 42 に示すように、多結晶シリコン膜 77 を全面に堆積する。なお、多結晶シリコン膜 77 は、非晶質シリコン膜を堆積後にこれを固相成長させて形成してもよい。

【0134】次に、図 43 に示すように溝 52 を埋める絶縁膜 56 を実施の形態 1 と同様に形成し、図 44 に示すように、実施の形態 1 と同様に絶縁膜 56 をエッチバックしてシリコン酸化膜 50 上面の多結晶シリコン膜 77 および粒状シリコン結晶 76 を除去し、溝 52 に残存した絶縁膜 56 を除去する。

【0135】このようにして多結晶シリコン膜 77 および粒状シリコン結晶 76 からなる下部電極が形成される。後の工程は実施の形態 1 と同様である。

【0136】本実施の形態によれば、下地の結晶性や阻害膜の介在を考慮すること無く粒状シリコン結晶 76 を制御性よく形成でき、また、多結晶シリコン膜 77 によって下部電極の導電性を確保できる。非晶質シリコン膜 75 は実施の形態 1 の非晶質シリコン膜 54 に相当するものであり、多結晶シリコン膜 77 は、実施の形態 1 における非晶質シリコン膜 53 に相当するものである。それらの膜厚あるいは不純物濃度は、実施の形態 1 の各相当する膜の値を適用できる。

【0137】なお、本実施の形態において、非晶質シリコン膜 75 の堆積前に、図 45 に示すように、接着膜 78 を形成することができる。接着膜 78 は、非晶質シリコン膜 75 の結晶化による粒状シリコン結晶 76 のシリコン酸化膜 50 への接着性を向上することができる。接着膜 78 には、たとえば多結晶シリコン膜が適用でき、その膜厚は 20 nm 以下の薄膜でよい。

【0138】非晶質シリコン膜 75 の結晶化による粒状シリコン結晶 76 の成長の後には、図 46 に示すように、粒状シリコン結晶 76 は接着膜 78 を介してシリコン酸化膜 50 に接着しており剥離しにくくなる。なお、接着膜 78 と非晶質シリコン膜 75 との界面には自然酸化膜等の阻害膜が形成されていてもよい。

【0139】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでも

ない。

【0140】たとえば、前記実施の形態において情報蓄積用容量素子の下部電極として筒形状のもの例示したが、たとえば構造のものたとえばスタック型、フィン型等の構造にも適用できる。

【0141】また、実施の形態 2 において、下部電極の第 1 層目として多結晶シリコン膜の例を示したが、これに限られず、タングステンシリサイド膜、チタンシリサイド膜またはコバルトシリサイド膜等の金属シリサイド膜でも良く、タングステン膜、チタン膜、コバルト膜、窒化チタン膜または窒化タングステン膜等の金属膜または金属化合物膜であってもよい。また、多結晶シリコン膜と金属シリサイド膜、金属膜あるいは金属化合物膜との積層膜であってもよい。

【0142】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0143】(1) キャパシタ下部電極に適用する多結晶シリコン膜の膜厚を、粒状シリコンの部分（凹凸部）を含めて制御できる。

【0144】(2) 多結晶シリコン膜表面の粒状シリコン（凹凸）の高さを容易に制御できる。

【0145】(3) キャパシタ下部電極に適用する多結晶シリコン膜の高抵抗化を防止し、下部電極の導電性を確保できる。

【0146】(4) キャパシタ下部電極を構成する多結晶シリコン膜と容量絶縁膜との界面での多結晶シリコン膜の空乏層の発生（空乏化）を防止し、空乏化による蓄積容量の低下を抑制できる。

【図面の簡単な説明】

【図 1】実施の形態 1 の DRAM を形成した半導体チップの全体平面図である。

【図 2】実施の形態 1 の DRAM の等価回路図である。

【図 3】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 4】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 5】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 6】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 7】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 8】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 9】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 10】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 11】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 12】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 13】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 14】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 15】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 16】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 17】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 18】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 19】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 20】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 21】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 22】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 23】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 24】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 25】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 26】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 27】下部電極の一部を模式的に拡大して示した断面図である。

【図 28】下部電極断面形状を観察した SEM 写真の模写図である。

【図 29】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 30】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 31】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 32】実施の形態 1 の DRAM の製造工程の他の例を拡大して示した断面図である。

【図 33】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 34】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 35】実施の形態 2 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 36】実施の形態 2 の DRAM の製造工程の他の例を示した断面図である。

【図 37】実施の形態 3 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 38】実施の形態 3 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 39】実施の形態 3 の DRAM の製造工程の一例を工程順に示した断面図である。

10 【図 40】実施の形態 4 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 41】実施の形態 4 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 42】実施の形態 4 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 43】実施の形態 4 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 44】実施の形態 4 の DRAM の製造工程の一例を工程順に示した断面図である。

20 【図 45】実施の形態 4 の DRAM の製造工程の他の例を工程順に示した断面図である。

【図 46】実施の形態 4 の DRAM の製造工程の他の例を工程順に示した断面図である。

【符号の説明】

1 半導体基板

1A 半導体チップ

5 素子分離溝（溝）

6 シリコン酸化膜

7 シリコン酸化膜

10 n 型半導体領域

30 11 p 型ウエル

12 n 型ウエル

13 ゲート酸化膜

14 ゲート電極

14A ゲート電極

14B ゲート電極

14C ゲート電極

15 シリコン窒化膜

16 フォトリソグレイ膜

17 p<sup>+</sup> 型半導体領域

40 18 n<sup>+</sup> 型半導体領域

19 n 型半導体領域

20 シリコン窒化膜

20a サイドウォールスペーサ

21 フォトリソグレイ膜

22 p<sup>+</sup> 型半導体領域

23 n<sup>+</sup> 型半導体領域

24 SOG 膜

25 シリコン酸化膜

26 シリコン酸化膜

50 27 フォトリソグレイ膜

29

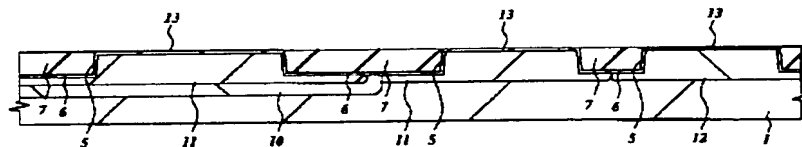
28 コンタクトホール  
 29 コンタクトホール  
 30 プラグ  
 31 シリコン酸化膜  
 32 フォトリソグスト膜  
 33 フォトリソグスト膜  
 34 コンタクトホール  
 36 コンタクトホール  
 38 第1層配線  
 40 シリコン窒化膜  
 41 フォトリソグスト膜  
 42  $TiSi_2$  層  
 43 サイドウォールスペーサ  
 44 SOG膜  
 45 シリコン酸化膜  
 46 シリコン酸化膜  
 47 フォトリソグスト膜  
 48 スルーホール  
 49 プラグ  
 50 シリコン酸化膜  
 51 フォトリソグスト膜  
 52 溝  
 53 非晶質シリコン膜  
 54 非晶質シリコン膜  
 55 自然酸化膜  
 56 絶縁膜  
 57 粒状シリコン結晶  
 58 多結晶シリコン膜  
 59 下部電極

30

60 容量絶縁膜  
 61 導電体膜  
 62 フォトリソグスト膜  
 63 シリコン酸化膜  
 64 スルーホール  
 65 プラグ  
 66 第2層配線  
 67 粒状シリコン結晶  
 68 多結晶シリコン膜  
 69 多結晶シリコン膜  
 70 非晶質シリコン膜  
 71 粒状シリコン結晶  
 72 粒状シリコン結晶  
 73 多結晶シリコン膜  
 74 自然酸化膜  
 75 非晶質シリコン膜  
 76 粒状シリコン結晶  
 77 多結晶シリコン膜  
 78 接着膜  
 20 BL ビット線  
 C 情報蓄積用容量素子  
 MARY メモリアレイ  
 Qn nチャネル型MISFET  
 Qp pチャネル型MISFET  
 Qs メモリセル選択用MISFET  
 SA センサンプ  
 WD ワードドライバ  
 WL ワード線

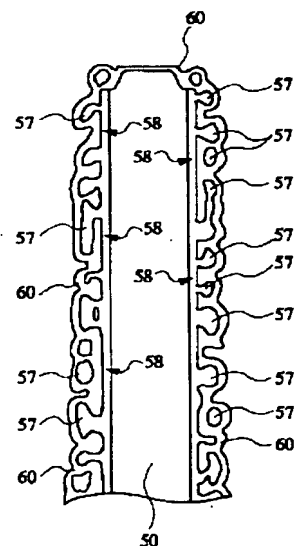
【図3】

図 3



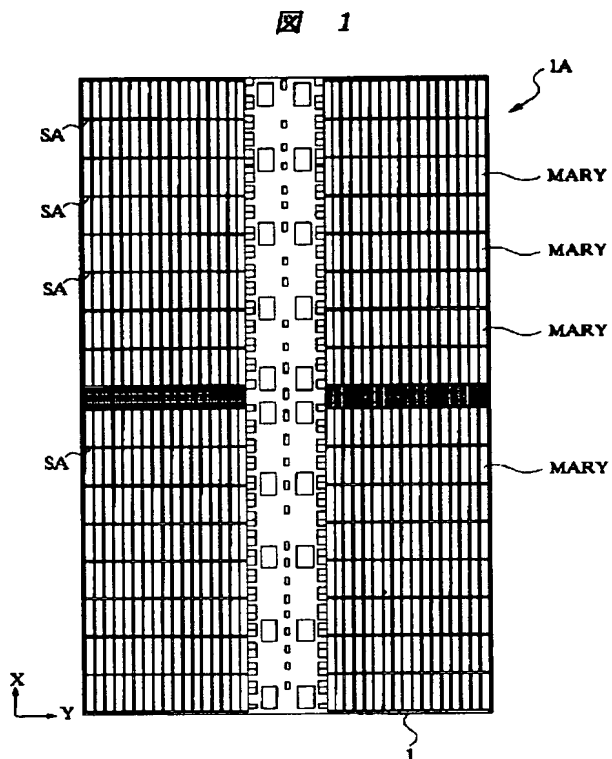
【図28】

図 28

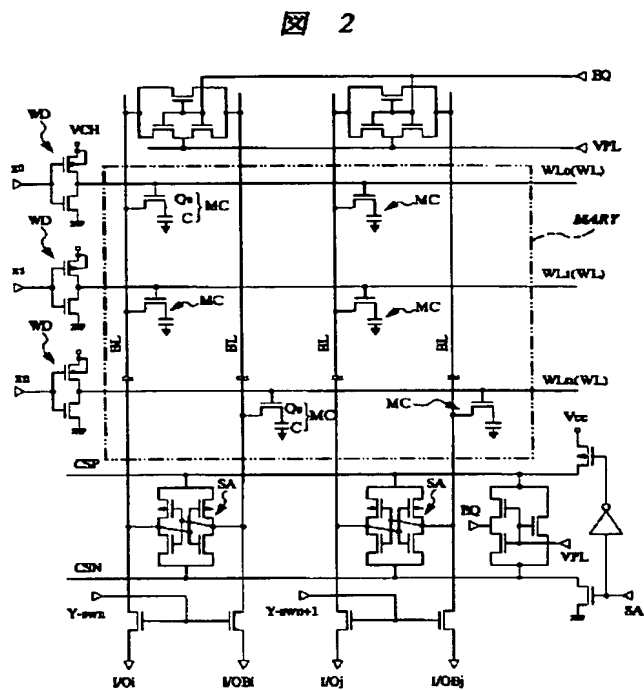




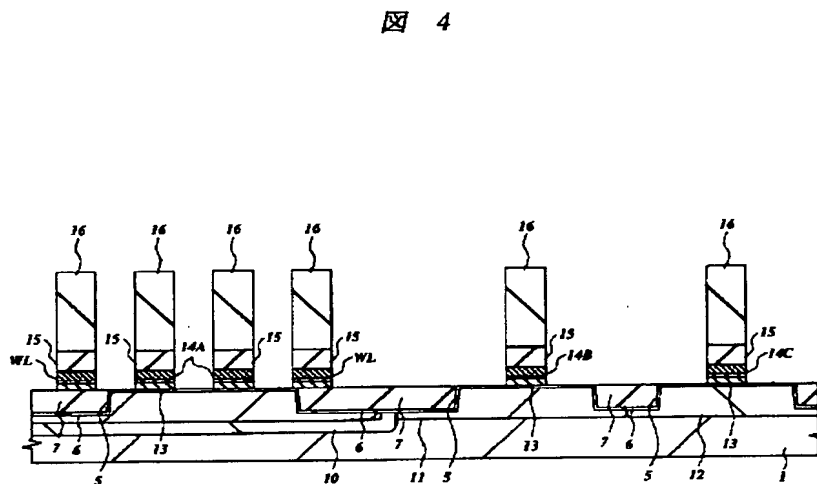
【图 1】



【圖 2】

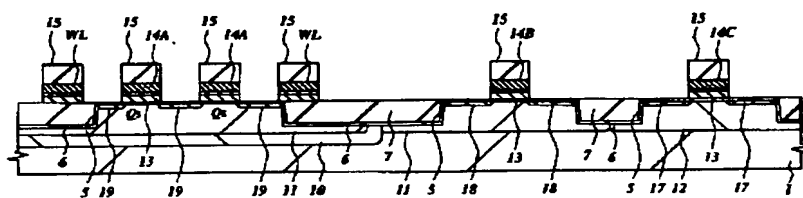


【圖 4】



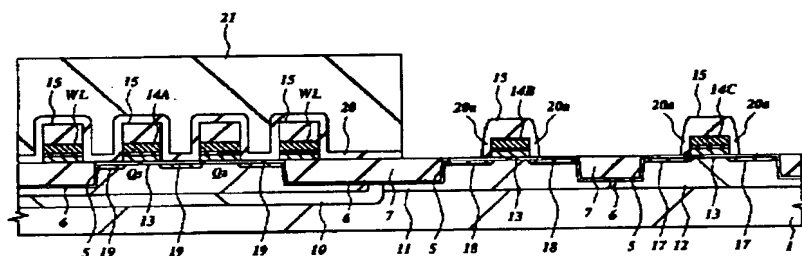
【図5】

図 5



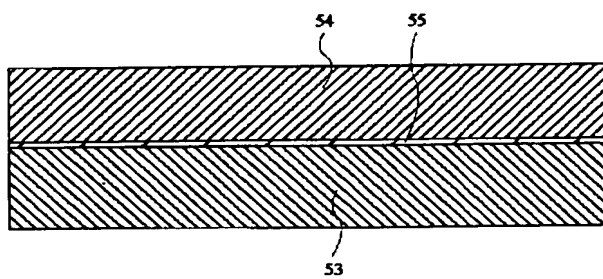
【図6】

図 6



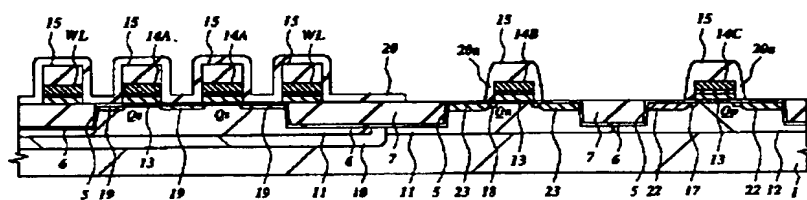
【図22】

図 22



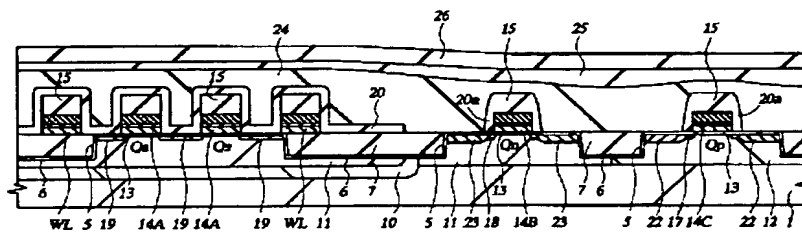
【图7】

**7**



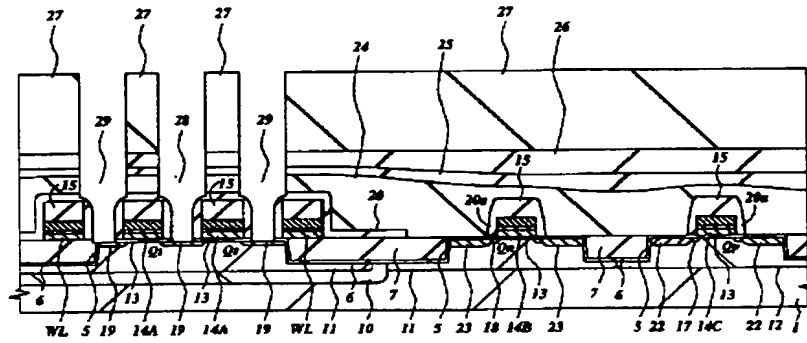
【圖 8】

**8**



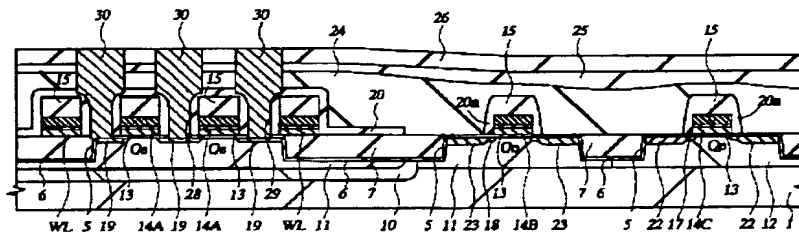
【図9】

図 9



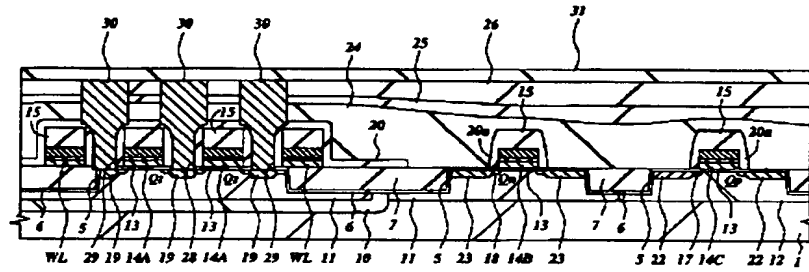
【図10】

図 10



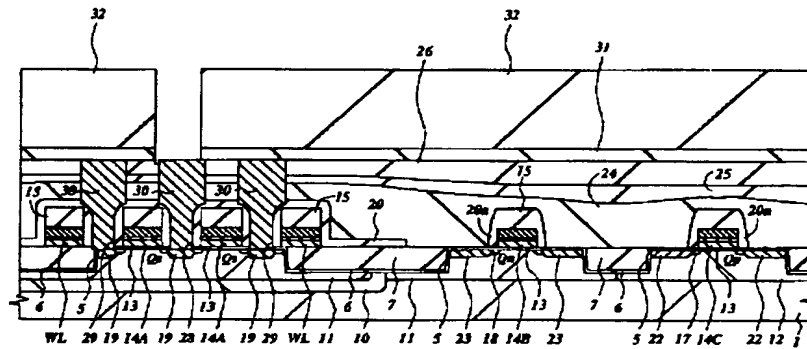
【図11】

図 11



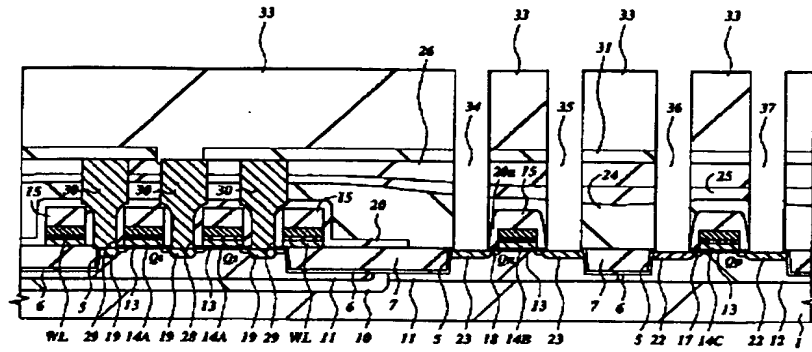
【図12】

図 12



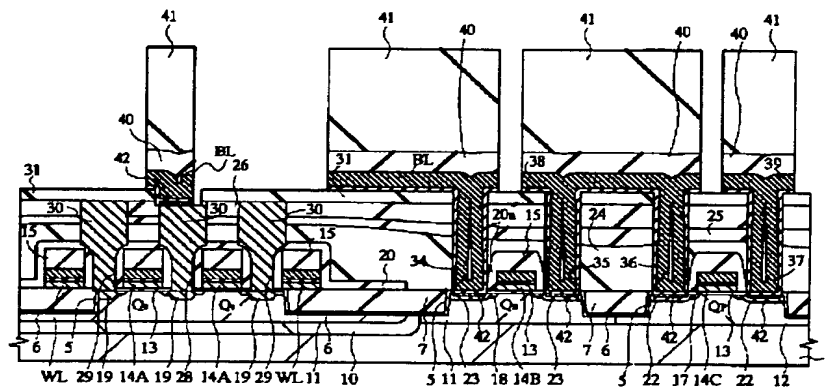
【図13】

図 13



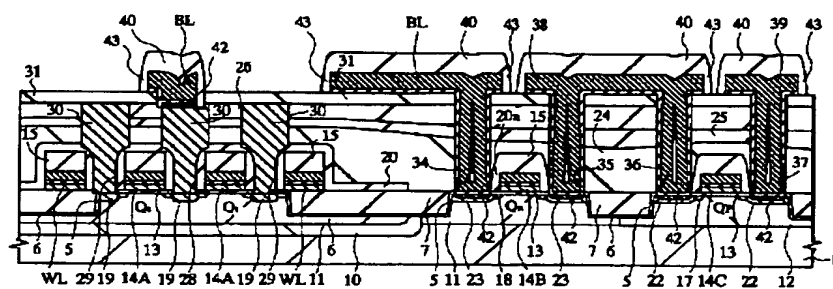
【図14】

図 14



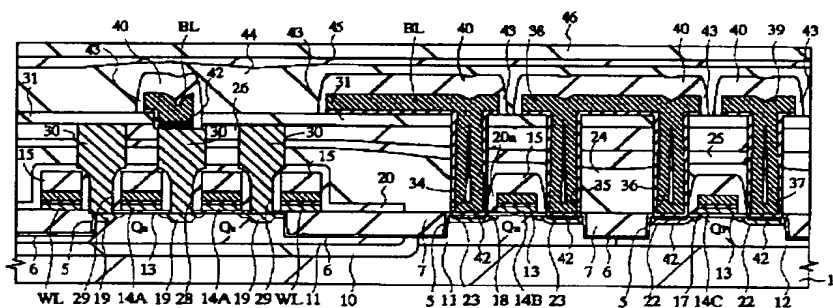
【图 15】

**15**



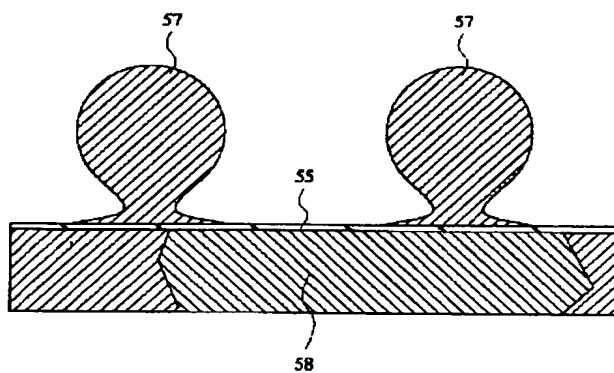
【图 16】

**16**



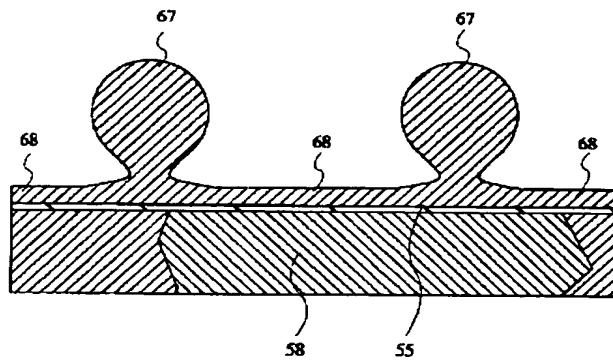
【圖 27】

**27**

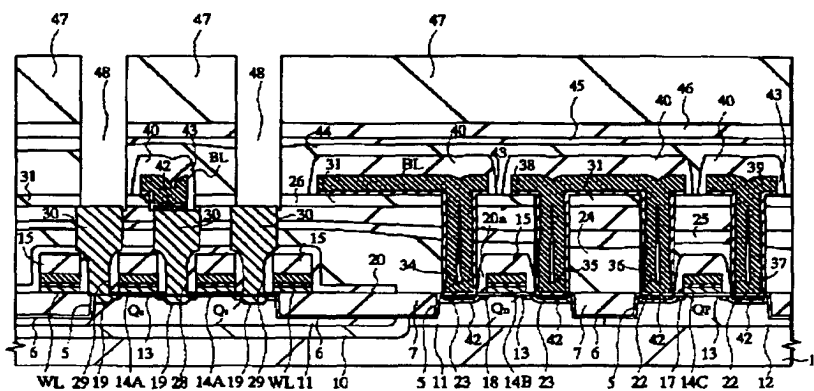


【图 3 2】

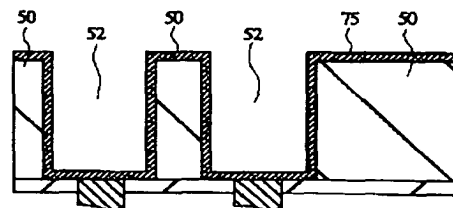
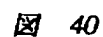
**32**



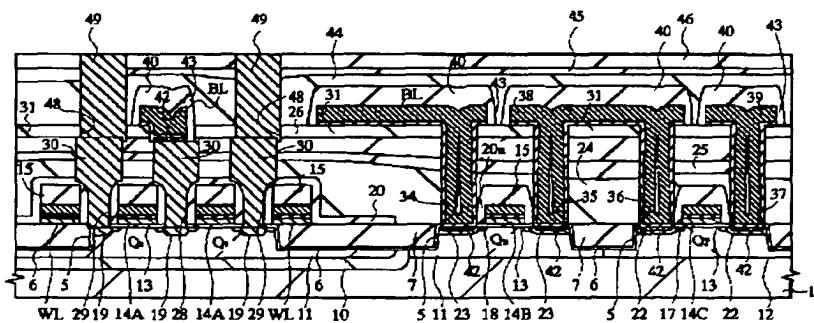
【例 17】



【圖 40】

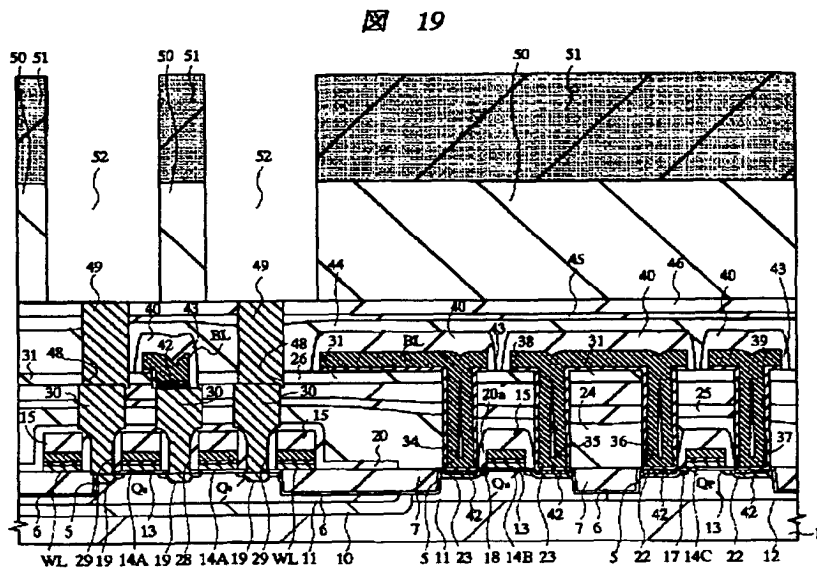


【图 18】

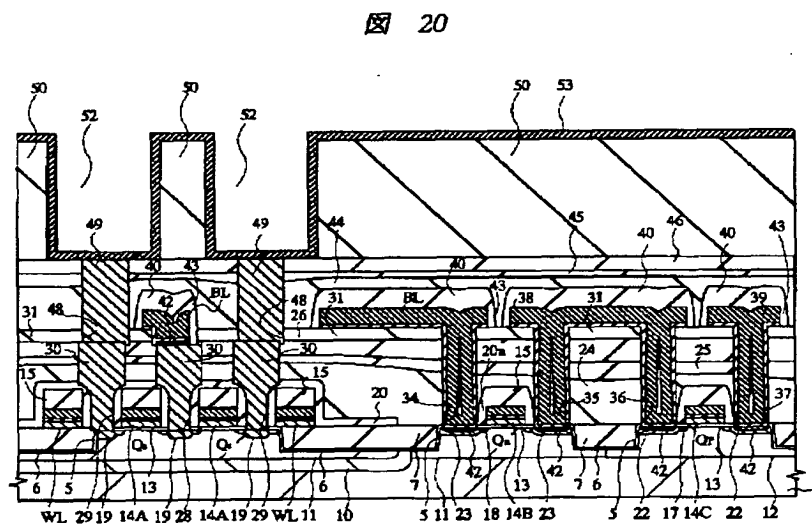




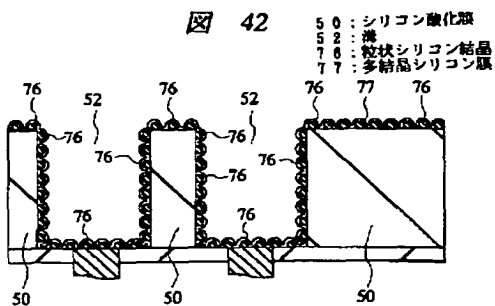
【图 19】



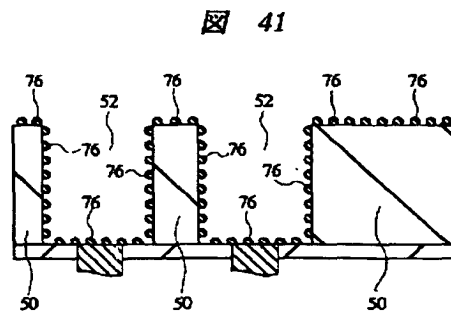
【圖 20】



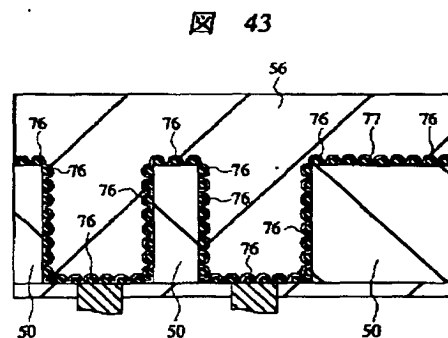
【图 4 2】



【图 4-1】

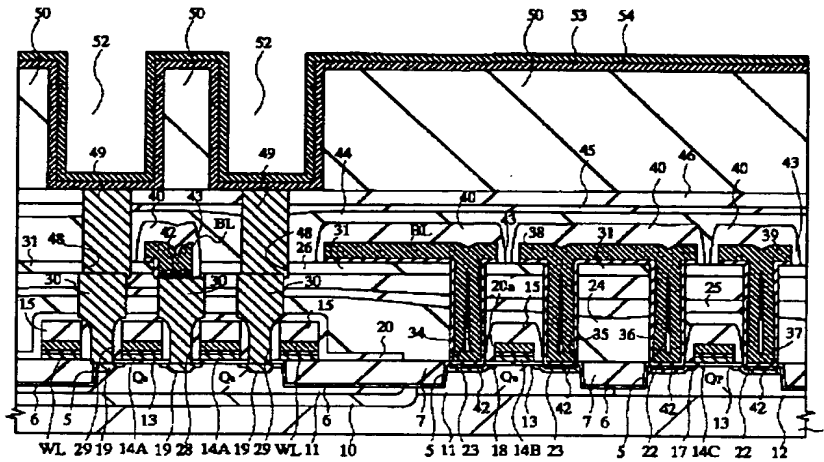


【圖 4 3】



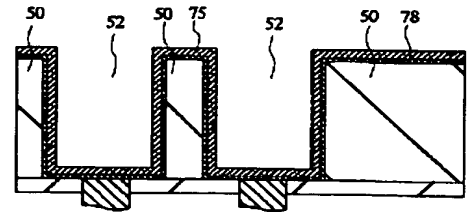
【図21】

図 21



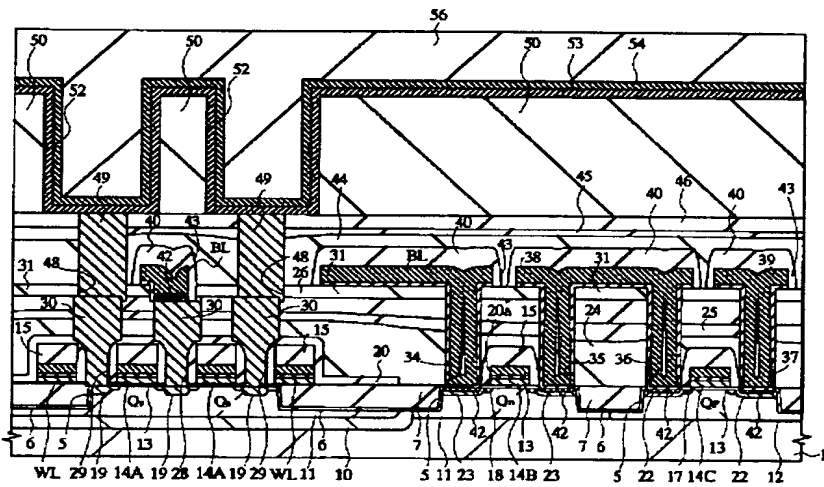
【図45】

図 45



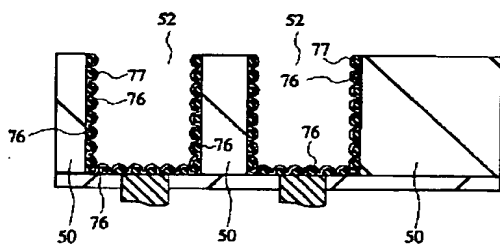
【図23】

図 23



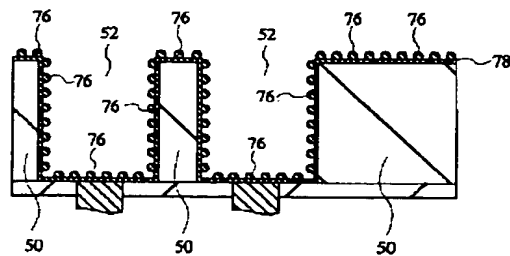
【図44】

図 44



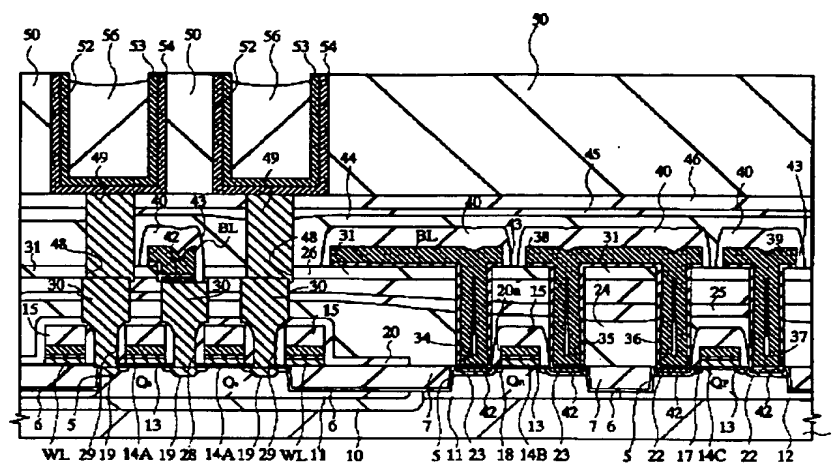
【図46】

図 46



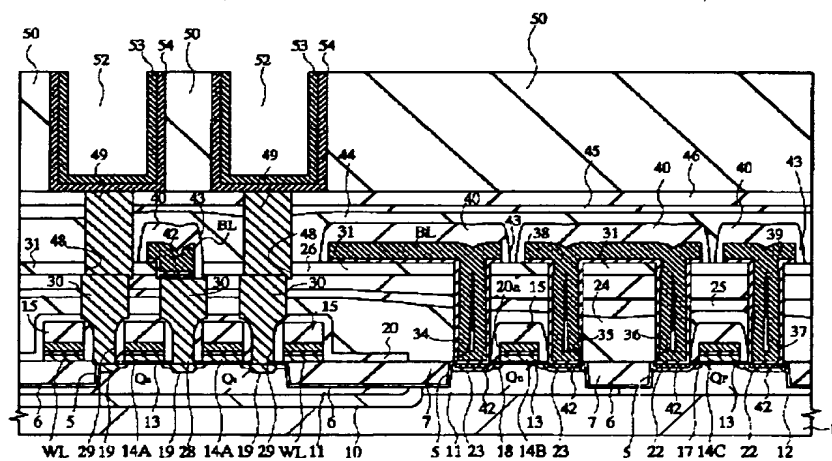
【图 24】

图 24



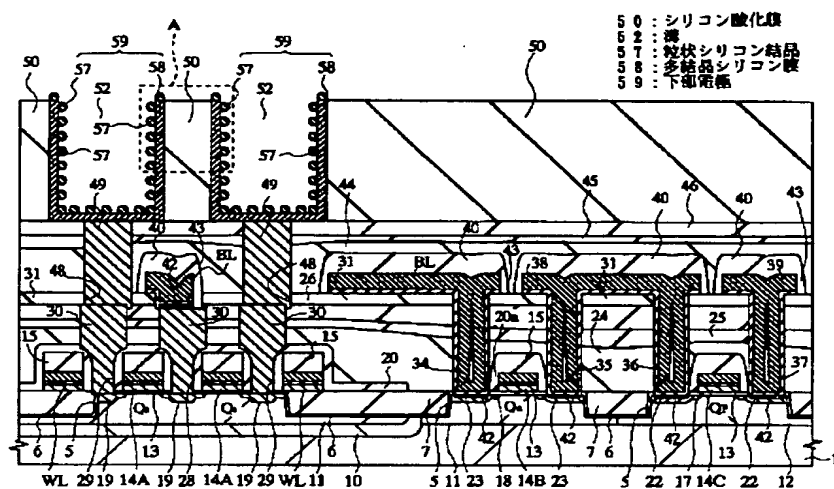
【图 25】

25



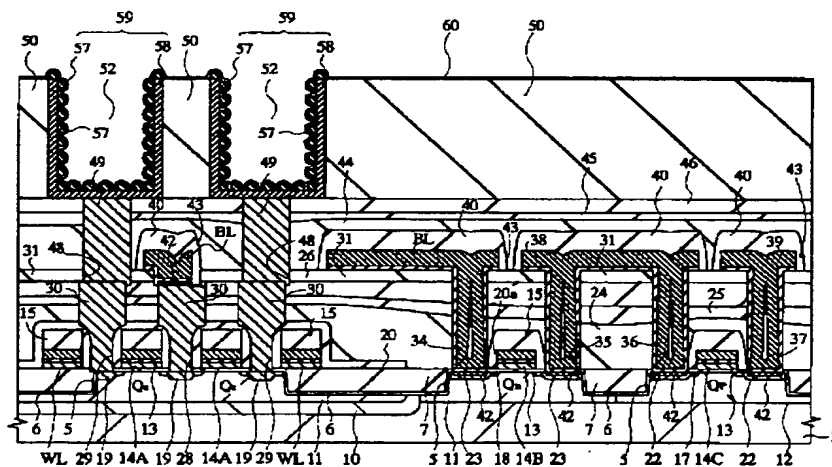
【圖 26】

26

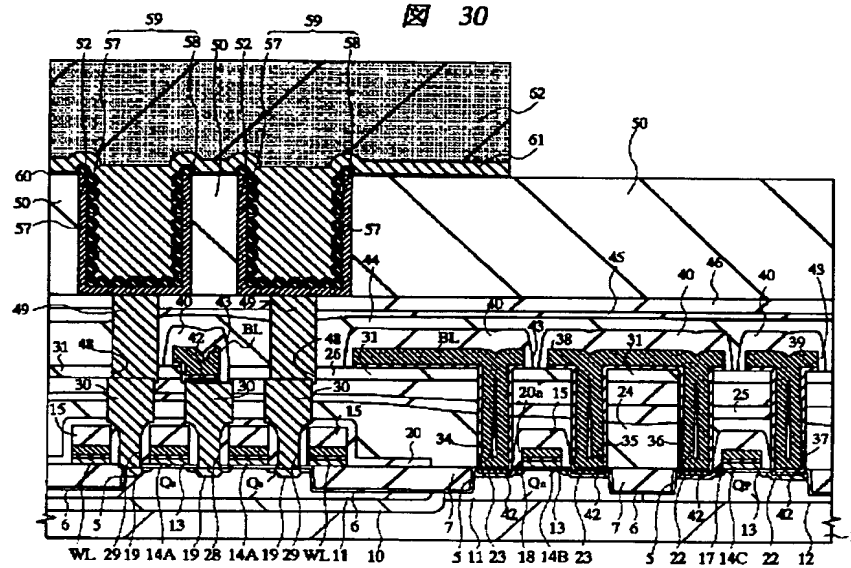


【图 29】

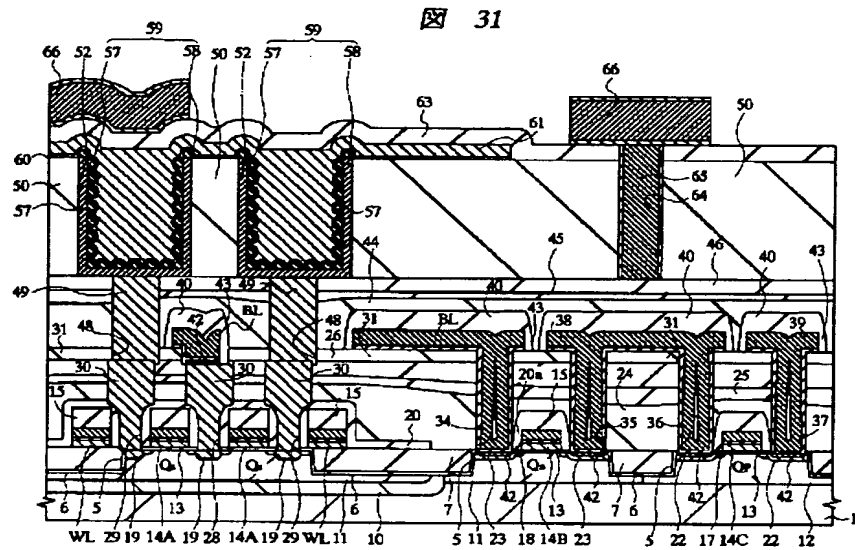
29



【図30】



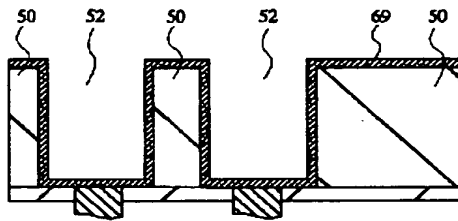
【図31】



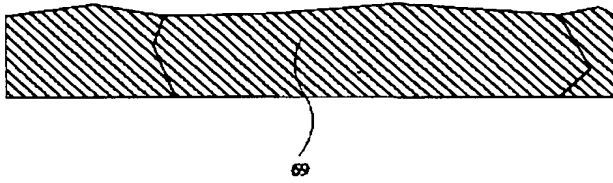
【図33】

図 33

(a)



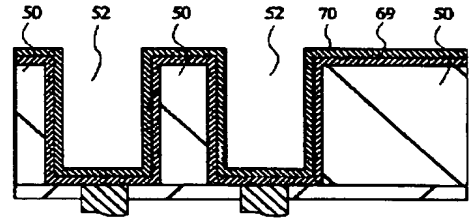
(b)



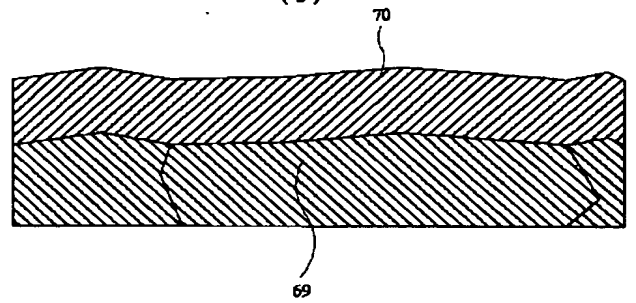
【図34】

図 34

(a)



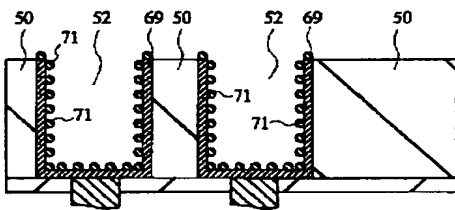
(b)



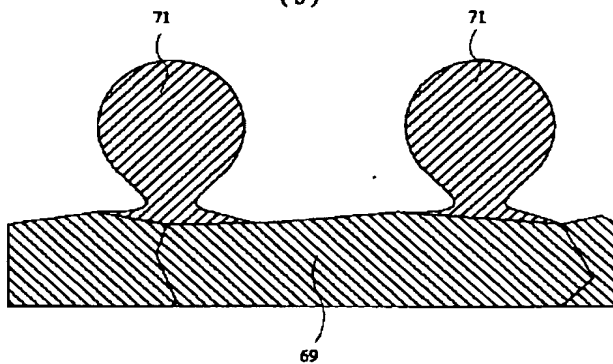
【図35】

図 35

(a)

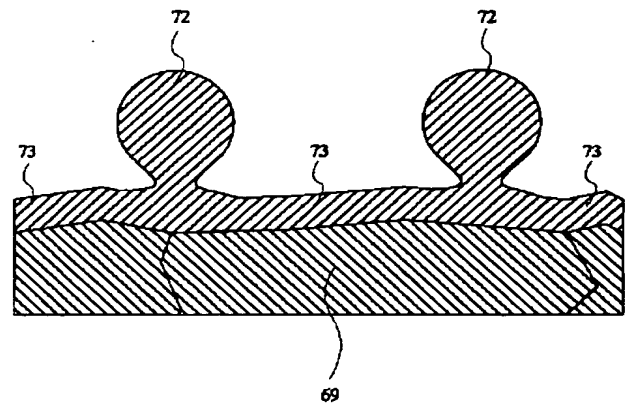


(b)



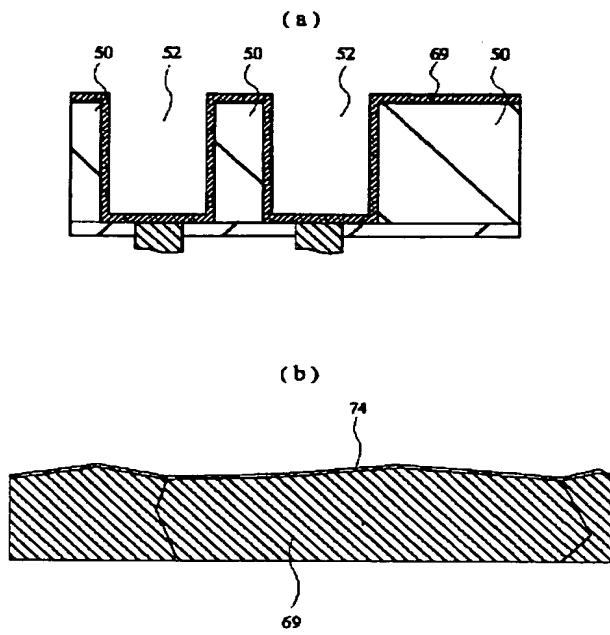
【図36】

図 36



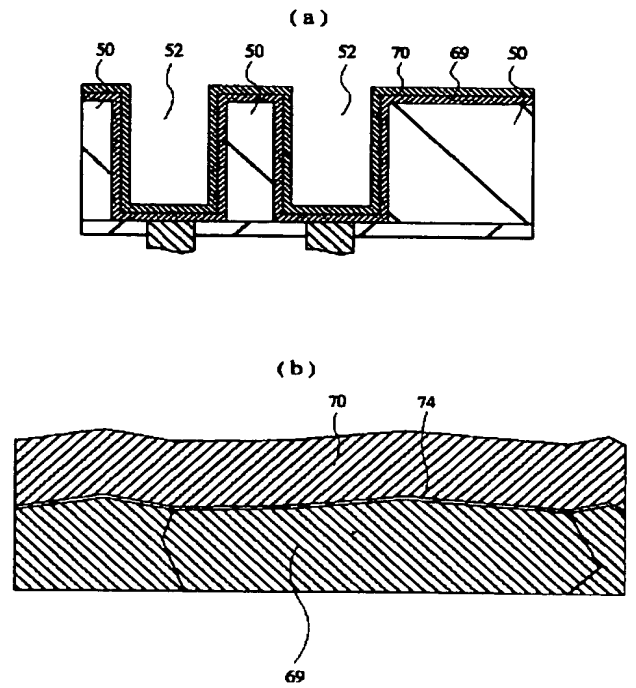
【図37】

図 37



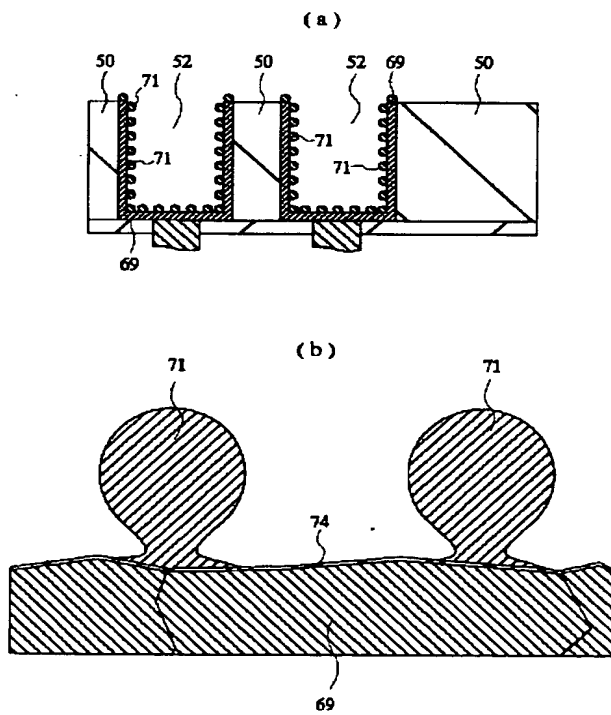
【図38】

図 38



【図39】

図 39



フロントページの続き

- (72)発明者 古川 亮一  
東京都青 市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- (72)発明者 植村 俊雄  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内
- (72)発明者 高松 朗  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内
- (72)発明者 山本 裕彦  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

- (72)発明者 吉田 正義  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内
- (72)発明者 石坂 正行  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内
- (72)発明者 飯島 晋平  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- (72)発明者 大路 隼  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- Fターム(参考) 5F083 AD24 AD62 JA03 JA04 JA06  
JA35 JA39 JA40 KA05 LA12  
MA02 MA17 NA01 PR03 PR05  
PR21 PR29 PR33 PR36 PR40